

Základy elektroniky a logických obvodov

Pavol Galajda, KEMT, FEI, TUKE
Pavol.Galajda@tuke.sk

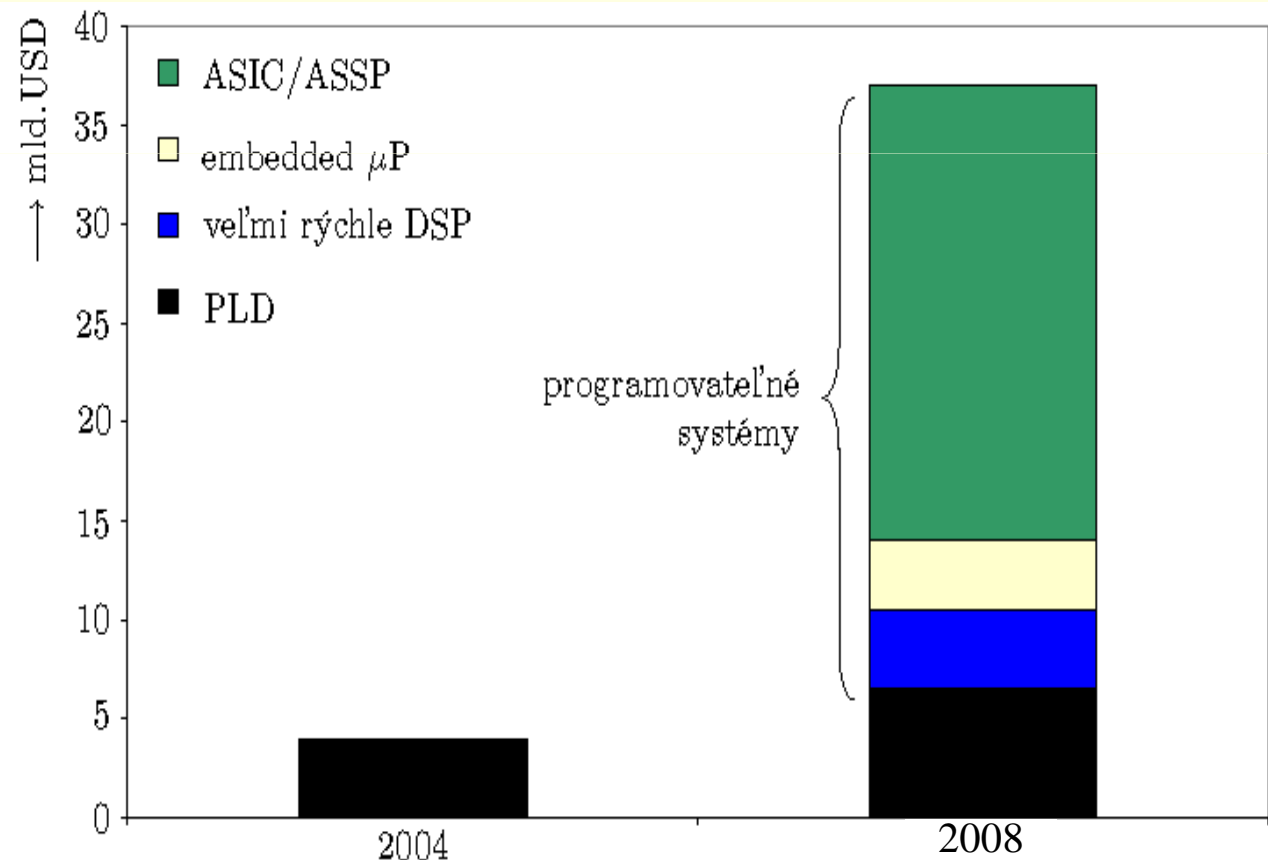
1 Úvod do ASIC- teoretický základ

- 1.1 Základné pojmy
- 1.2 Historický vývoj a rozdelenie IO
- 1.3 Typy PLD obvodov
 - SPLD
 - CPLD
 - FPGA
- 1.4 Ekonomické aspekty
 - Porovnanie ASIC technológií
- 1.5 ASIC verzus FPGA –
migrácia, prechod ku ASIC/ konverzia

1.4 Ekonomické aspekty

Dôvod nasadzovania FPGA- z ekonomického hľadiska, použitie ASIC pod hranicou 1 až 5 miliónov hradiel prináša neúmerne vysoké režijné náklady spojené s návrhom a verifikáciou. Objavila sa tak medzera, ktorú je možné vyplniť inou technológiou. Podľa prieskumu, predstavuje tento segment trhu nevídaný trhový potenciál, ktorý do roku 2008 dosahoval objem viac ako 35 miliárd USD a technológia, ktorá ho môže uspokojiť je práve FPGA.

- Malé série
- Rýchle overenie a prototypy
- Náhrada iných súčiastok
- Upgrade výrobu
- Dynamická rekonfigurácia



1.4 Ekonomické aspekty

Najzreteľnejší ekonomický faktor pri výbere medzi rôznymi typmi ASIC je cena súčiastky (od niekoľko des. až po niekoľko stov. EUR)

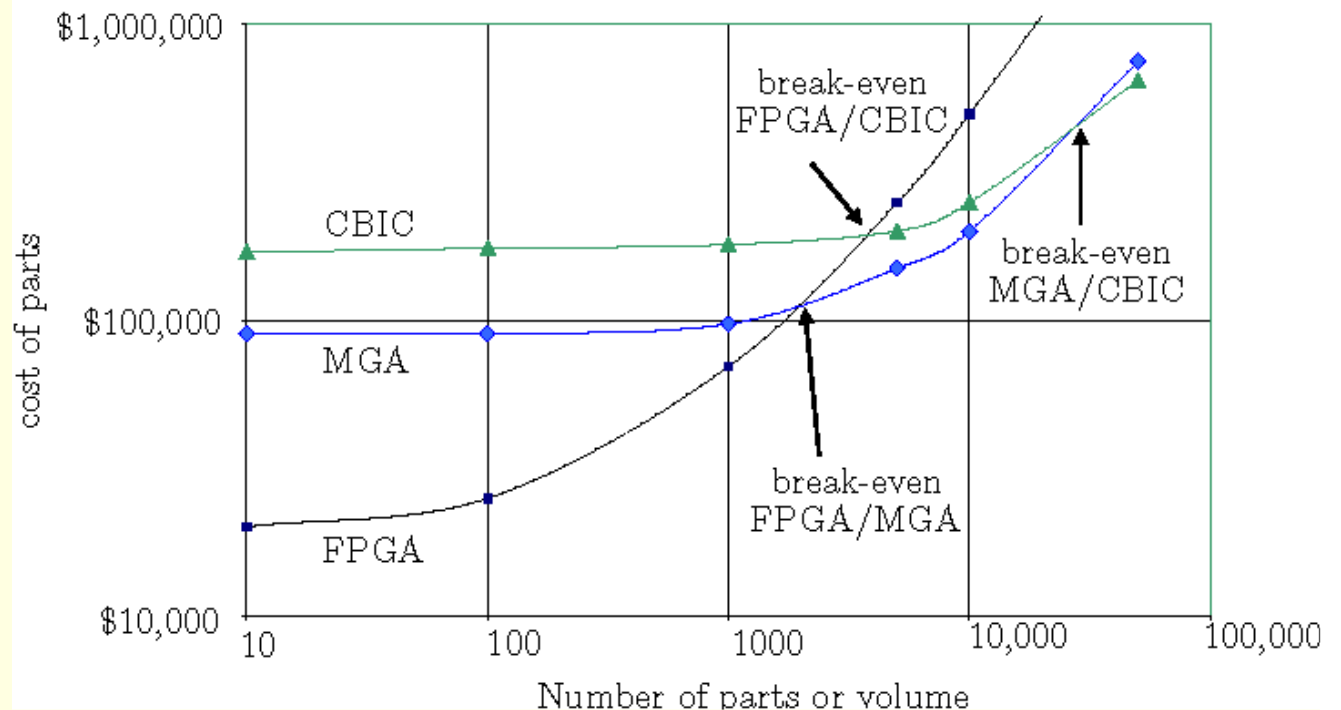
Celkové výrobné náklady =

- **stále náklady** (SW, HW, návrh, testovanie, jednorazové náklady výrobcov, na výrobu masiek, ...)
- **variabilné náklady** (veľkosť a cena doštičky, počet a hustota hradiel, ...)

break- even=
hranica rentability

MGA= masked
gate array

CBIC= custom
cell-based IC



1.4 Ekonomické aspekty

Najzreteľnejší ekonomický faktor pri výbere medzi rôznymi typmi ASIC je cena súčiastky (od niekoľko des. až po niekoľko stov. EUR)

Celkové výrobné náklady =

- stále náklady (SW, HW, návrh, testovanie, jednorázové náklady výrobcov, na výrobu masiek, ...)
- **variabilné náklady** (veľkosť a cena doštičky, počet a hustota hradiel, ...)

	Year					
	1999	2001	2004	2006	2009	2012
Transistor gate length	0.14 μm	0.12 μm	90 nm	65 nm	40 nm	35 nm
Transistors per cm^2	14 million	16 million	24 million	40 million	64 million	100 million
Chip size	800 mm^2	850 mm^2	900 mm^2	1000 mm^2	1100 mm^2	1300 mm^2

1.4 Ekonomické aspekty

- stále náklady- výcvik, HW, SW, návrh, testovanie, jednorázové náklady výrobcov, na výrobu masiek, ...

	FPGA	MGA	CBIC
<u>Training:</u>	\$800	\$2,000	\$2,000
Days	2	5	5
Cost/day	\$400	\$400	\$400
<u>Hardware</u>	\$10,000	\$10,000	\$10,000
<u>Software</u>	\$1,000	\$20,000	\$40,000
<u>Design:</u>	\$8,000	\$20,000	\$20,000
Size (gates)	10,000	10,000	10,000
Gates/day	500	200	200
Days	20	50	50
Cost/day	\$400	\$400	\$400
<u>Design for test:</u>		\$2,000	\$2,000
Days		5	5
Cost/day		\$400	\$400
<u>NRE:</u>		\$30,000	\$70,000
Masks		\$10,000	\$50,000
Simulation		\$10,000	\$10,000
Test program		\$10,000	\$10,000
<u>Second source:</u>	\$2,000	\$2,000	\$2,000
Days	5	5	5
Cost/day	\$400	\$400	\$400
<u>Total fixed costs</u>	<u>\$21,800</u>	<u>\$86,000</u>	<u>\$146,000</u>

1.4 Ekonomické aspekty

- variabilné náklady- veľkosť a cena doštičky, počet, hustota a využiteľnosť hradiel, veľkosť čipu, čip/doštičku, hustota porúch, zisk, cena čipu, miera zisku, cena/hradlo, ...

	FPGA	MGA	CBIC	Units
Wafer size	6	6	6	inches
Wafer cost	1,400	1,300	1,500	\$
Design	10,000	10,000	10,000	gates
Density	10,000	20,000	25,000	gates/sq.cm
Utilization	60	85	100	%
Die size	1.67	0.59	0.40	sq.cm
Die/wafer	88	248	365	
Defect density	1.10	0.90	1.00	defects/sq.cm
Yield	65	72	80	%
Die cost	25	7	5	\$
Profit margin	60	45	50	%
Price/gate	0.39	0.10	0.08	cents
Part cost	\$39	\$10	\$8	

1.5 Konverzia FPGA na ASIC

Predstavuje transformáciu kompletne navrhnutého systému overeného v reálnom zariadení pomocou programovateľných obvodov do vyšších a úspornejších foriem zákazníckych IO.

Hlavné výhody a charakteristiky konverzie.

Pri väčších požadovaných množstvách digitálnych zákazníckych integrovaných obvodov nieje ekonomické realizovať celú výrobnú sériu pomocou programovateľných obvodov.

- je výhodnejšie realizovať už hotový návrh v podobe masiek pre návrh zákazníckych čipov,
- návrh sa vyznačuje lepšími technickými a ekonomickými parametrami.

1.5 Konverzia FPGA na ASIC

Hlavné výhody a charakteristiky konverzie.

- Rýchlosť a bezpečnosť
- Univerzálnosť procesu
- Nízke jednorázové náklady
- Ekonomická výhodnosť
- Lepšie zabezpečenie IP
- Zlepšenie technických parametrov

1.5 Konverzia FPGA na ASIC

Hlavné výhody a charakteristiky konverzie.

- Rýchlosť a bezpečnosť
- Univerzálnosť procesu konverzie
- Nízke jednorázové náklady
- Ekonomická výhodnosť
- Lepšie zabezpečenie IP
- Zlepšenie technických parametrov

Rýchlosť a bezpečnosť

Ak neuvažujeme ekonomické faktory, prináša konverzia istotu toho, že do výroby sa dostávajú podklady, ktoré boli nielen overené pomocou simulácie, ale tiež odskúšané v reálnom prostredí zákazníka.

Použitie obvodov FPGA teda *prináša* pri návrhu *podstatné zvýšenie efektivity vývojových prác*, pretože modifikácia obvodu, z dôvodu buď zmeny špecifikácie alebo chyby v priebehu návrhu, je relatívne rýchla a lacná.

Rýchlosť a bezpečnosť

Prečo nenavrhnúť ASIC priamo a neobísť proces konverzie?

- zákazník dopredu nemusí vedieť, akú veľkú sériu bude potrebovať,
- v priebehu návrhu ASIC je možné len obvod simulovať a nie je testovaný v reálnom prostredí,
- postup prác pri návrhu ASIC je zložitejší,
- vyžaduje sa tesná spolupráca s výrobcom obvodov,

1.5 Konverzia FPGA na ASIC

Hlavné výhody a charakteristiky konverzie.

- Rýchlosť a bezpečnosť
- Univerzálnosť procesu konverzie
- Nízke jednorázové náklady
- Ekonomická výhodnosť
- Lepšie zabezpečenie IP
- Zlepšenie technických parametrov

Univerzálnost' procesu konverzie

V súčasnosti je možné realizovať konverziu zo všetkých dostupných obvodov FPGA, ktoré ponúkajú hlavný výrobcovia, ako sú:

- Xilinx,
- Altera,
- Atmel,
- Lattice,
- Actel a ďalší.

1.5 Konverzia FPGA na ASIC

Hlavné výhody a charakteristiky konverzie.

- Rýchlosť a bezpečnosť
- Univerzálnosť procesu konverzie
- Nízke jednorázové náklady
- Ekonomická výhodnosť
- Lepšie zabezpečenie IP
- Zlepšenie technických parametrov

Nízke jednorázové náklady

Značná časť nákladov na konverziu je jednorázová a pokrýva výrobu masiek. Z tohto dôvodu sa výrobcovia obvodov snažia použiť čo najmenší počet masiek.

Konverzia sa teda (v závislosti od veľkosti série a technických požiadaviek zákazníka) väčšinou nerealizuje do plne zákaznickeho obvodu, alebo štandardných buniek, ale do hradlového poľa, pre ktoré je pre záverečné výrobné operácie nutné vyrobiť len minimálne množstvo masiek.

1.5 Konverzia FPGA na ASIC

Hlavné výhody a charakteristiky konverzie.

- Rýchlosť a bezpečnosť
- Univerzálnosť procesu konverzie
- Nízke jednorázové náklady
- Ekonomická výhodnosť
- Lepšie zabezpečenie IP
- Zlepšenie technických parametrov

Ekonomická výhodnosť

Konverzia môže byť ekonomicky výhodná

- už od série niekoľko tisíc obvodov,
- v niektorých prípadoch sa môže vyplatiť i pri kusových sériách (objem niekoľko sto obvodov).

Základné ekonomické úvahy je nutné urobiť pre konkrétny typ súčiastky, požadovanú sériu, veľkosť puzdra atd.

Typický čas celej konverzie (asi 10 týždňov) zahŕňa procesy od prevodu dát a ich prípravu pre technologické operácie, včítane generácie masiek, až po výrobu funkčných vzoriek obvodu ASIC.

1.5 Konverzia FPGA na ASIC

Hlavné výhody a charakteristiky konverzie.

- Rýchlosť a bezpečnosť
- Univerzálnosť procesu konverzie
- Nízke jednorázové náklady
- Ekonomická výhodnosť
- Lepšie zabezpečenie IP
- Zlepšenie technických parametrov

Lepšie zabezpečenie IP

Ďalším, nezanedbateľným dôvodom pre konverziu môže byť dôvod pre podstatné sťaženie možnosti okopírovanie obvodu.

Obvody FPGA sú v podstate bežne dostupné súčiastky, ktorým „vdýchne život“ pripojenie externej konfiguračnej pamäte, ktorá obsahuje informáciu o prepojení vo vnútri obvodu.

Aj keď existujú možnosti, ktoré obmedzujú kopírovanie aplikácie z FPGA, uspokojuvité riešenie sa nedá nájsť, pokiaľ v priebehu konfigurácie FPGA musí byť privedený obsah konfiguračnej pamäte na vývody obvodu.

Práve táto kritická fáza v prípade obvodov ASIC odpadá a možnosť kopírovania je takmer minimálna.

1.5 Konverzia FPGA na ASIC

Hlavné výhody a charakteristiky konverzie.

- Rýchlosť a bezpečnosť
- Univerzálnosť procesu konverzie
- Nízke jednorázové náklady
- Ekonomická výhodnosť
- Lepšie zabezpečenie IP
- Zlepšenie technických parametrov

Zlepšenie technických parametrov

Obvody ASIC *môžu pracovať s vyššou frekvenciou* než FPGA z toho dôvodu, že prepojenie logických buniek je realizované priamymi metalickými spojmi na rozdiel od konfigurovateľných prepojení u FPGA.

Je možné povedať, že obvody ASIC *prinášajú zníženie spotreby obvodu*, pretože ASIC obsahuje logiku len pre vykonávanie vlastnej funkcie.

1.5 Konverzia FPGA na ASIC

Postup pri procese konverzie.

S procesom konverzie je vhodné počítat' pred samotnou fázou návrhu vlastného FPGA.

Najdôležitejším dôvodom je skutočnosť, že finálny obvod ASIC je nutné testovať, čo väčšinou pri vývoji obvodu FPGA odpadá.

2 Klasifikácia PLD z hľadiska technológie výroby

- 2.1 FUSE
- 2.2 EPROM a EEPROM
- 2.3 SRAM
- 2.4 ANTIFUSE
- 2.5 FLASH

2 Klasifikácia PLD z hľadiska technológie výroby

Technológie programovania FPD obvodov

Uvedený popis sa netýka technológie výroby (bipolárnej, alebo CMOS technológie), ale programovacích metód PLD obvodov. Všetky obvody PLD sú vyrobené z kombinácie prepojovacích polí základných hradiel, KO alebo konfigurovateľných logických blokov- makrobuniek.

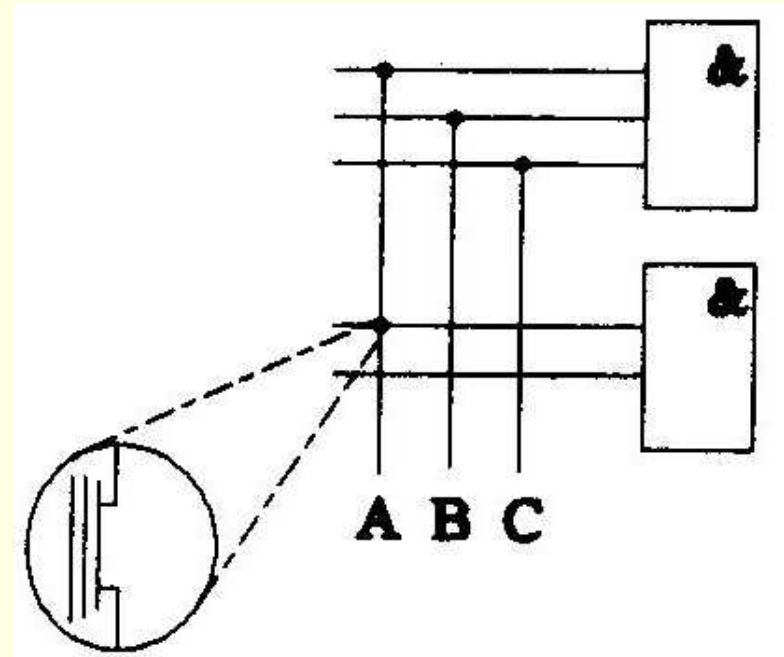
Programovateľné spínače vytvárajú pole ktoré prepája logické obvody a tým umožňuje implementovať požadovanú logickú funkciu.

Užívateľ, v závislosti na požadovanej logickej funkcii, určí v etape programovania obvodu PLD ktoré z prepojení budú nastavené a ktoré nie.

Technológie programovania FPD obvodov

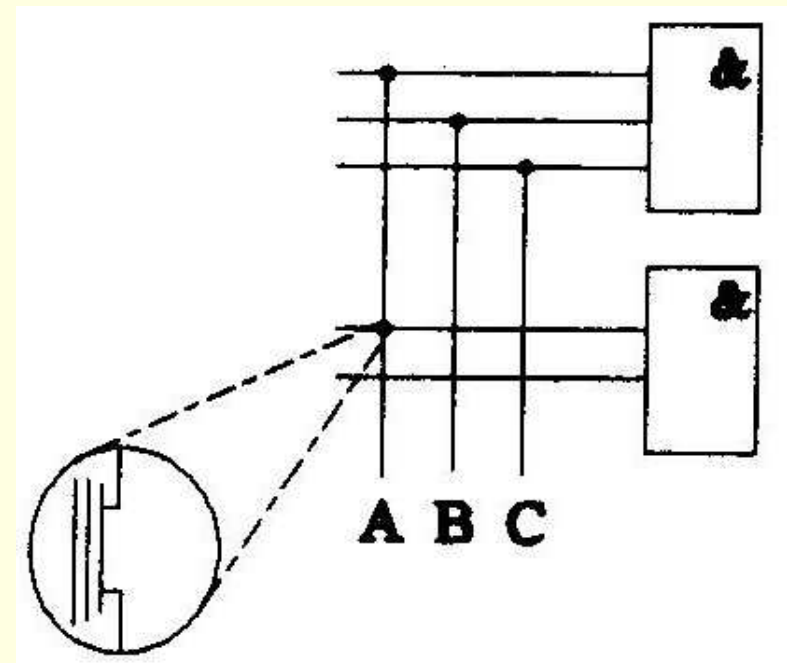
Programovateľnosť jednotlivých prepojení je zabezpečená použitím prepojovacích spínačov (Logic Control Element) realizovaných na báze rôznych technológií:

- pevné prepojenie (fuse/ antifuse) programované jeho pretavením/ zatavením (PROM),
- spínač na báze statickej pamäťovej bunky (SRAM),
- EPROM, EEPROM spínač.



2.1 FUSE

Prvý krát bolo programovateľné prepojenie použité v obvodoch **PLA**, realizované ako tavná poistka– *fuse* (OTP). Táto technológia nie je v súčasnosti významná aj keď sa stále používa a bola nahradená novšími technológiami programovania.



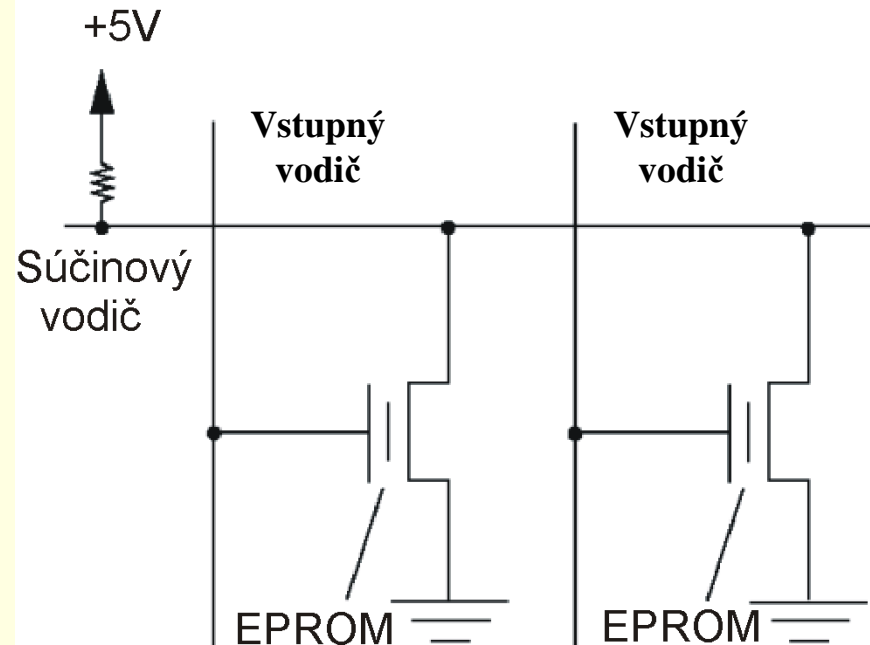
2.2 EPROM a EEPROM

V prípade CPLD obvodov je najvýznamnejšou technológiou vytvárania prepojení, technológia ktorá využíva tranzistory s plávajúcim hradlom. Rozlišujeme dve technológie:

- **EPROM** (Erasable Programmable Read-Only Memory)
- **EEPROM** (Electrically Erasable PROM)

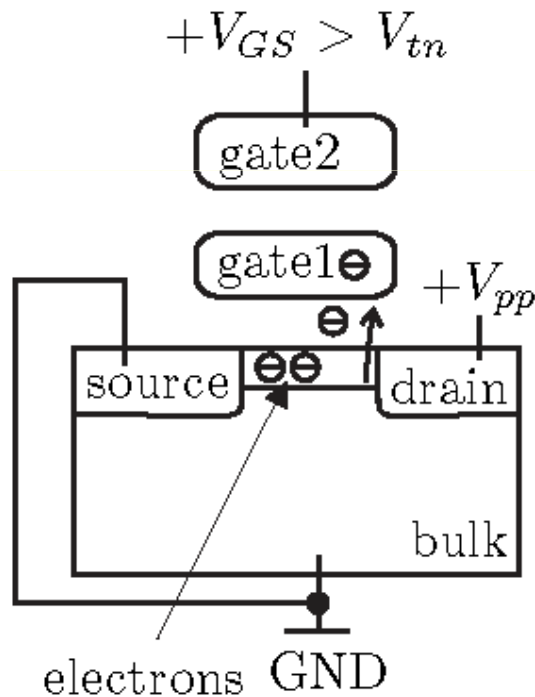
V CPLD obvodoch (a mnohých SPLD obvodoch) je EPROM alebo EEPROM tranzistor (použitý vo funkcii programovateľného spínača) umiestnený medzi dva vodiče a umožňuje realizovať funkciu montážneho súčinu .

Na obr. je príklad zapojenia EPROM (EEPROM) tranzistorov v matici AND v CPLD obvodoch. Vstup do matice AND môže prostredníctvom EPROM tranzistora nastaviť súčinový vodič na logickú úroveň 0, ak je tento vstup súčasťou príslušného súčinového termu. Pre vstupy ktoré nie sú súčasťou súčinového termu, je príslušný EPROM tranzistor naprogramovaný, ako permanentne zavretý.

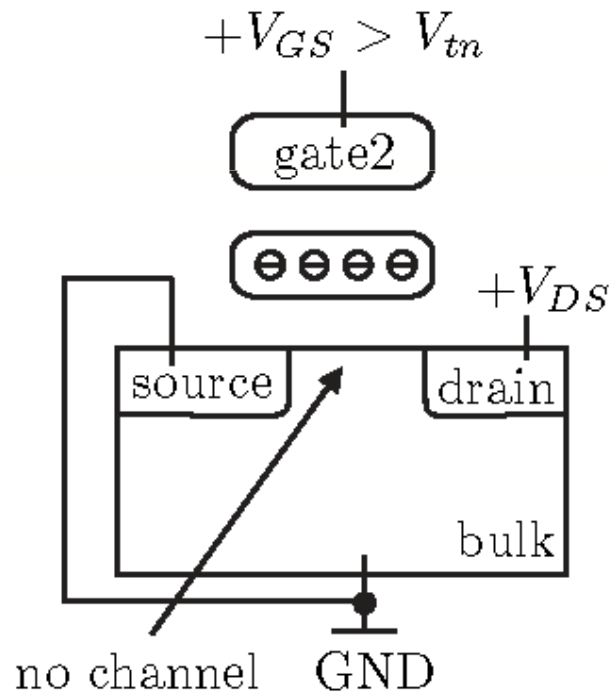


2.2 EPROM a EEPROM

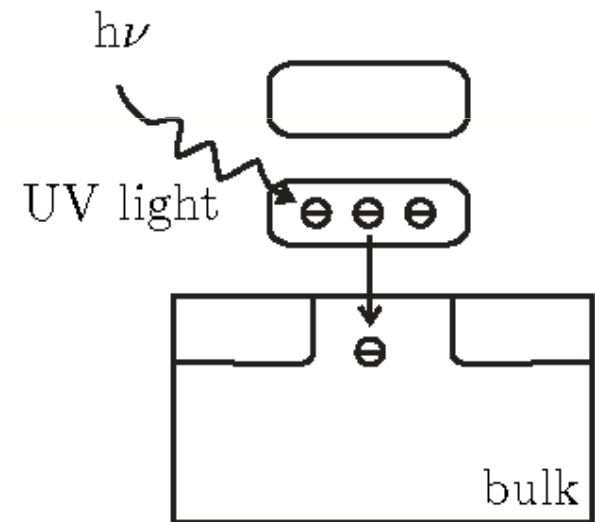
Bunka EPROM je takmer tak malá ako antifuse. EPROM tranzistor vyzerá podobne ako obyčajný MOS tranzistor, má však navyše druhé plávajúce hradlo (gate1). Programovaním (pripojením programovacieho napätia $V_{pp} > 12V$ na kolektor EPROM tranzistora s n- kanálom) dochádza k lavínovej injekcii elektrónov (Floating Avalanche Injection MOS- FAMOS) a hradlo sa nabije a zvyšuje tak prahové napätie EPROM tranzistora s n- kanálom.



(a)



(b)



(c)

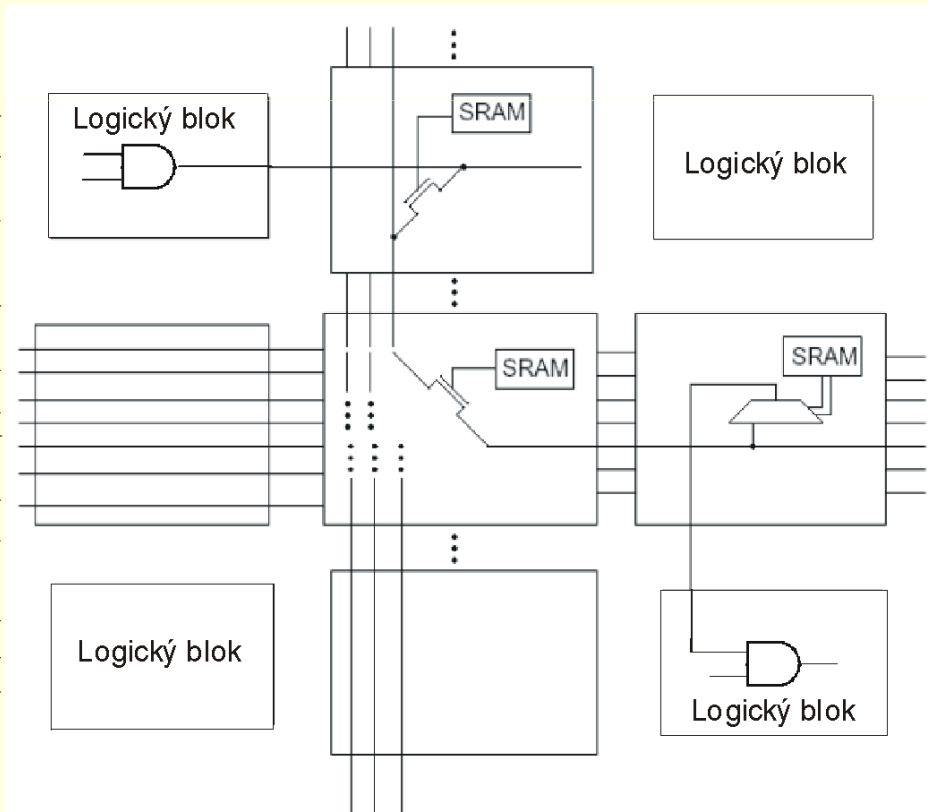
2.3 SRAM

Hoci z hľadiska technológie nie je dôvod prečo by EPROM a EEPROM technológia nemohla byť použitá v FPGA obvodoch, súčasne komerčne vyrábané FPGA sú realizované na:

- SRAM, alebo
- antifuse technológií.

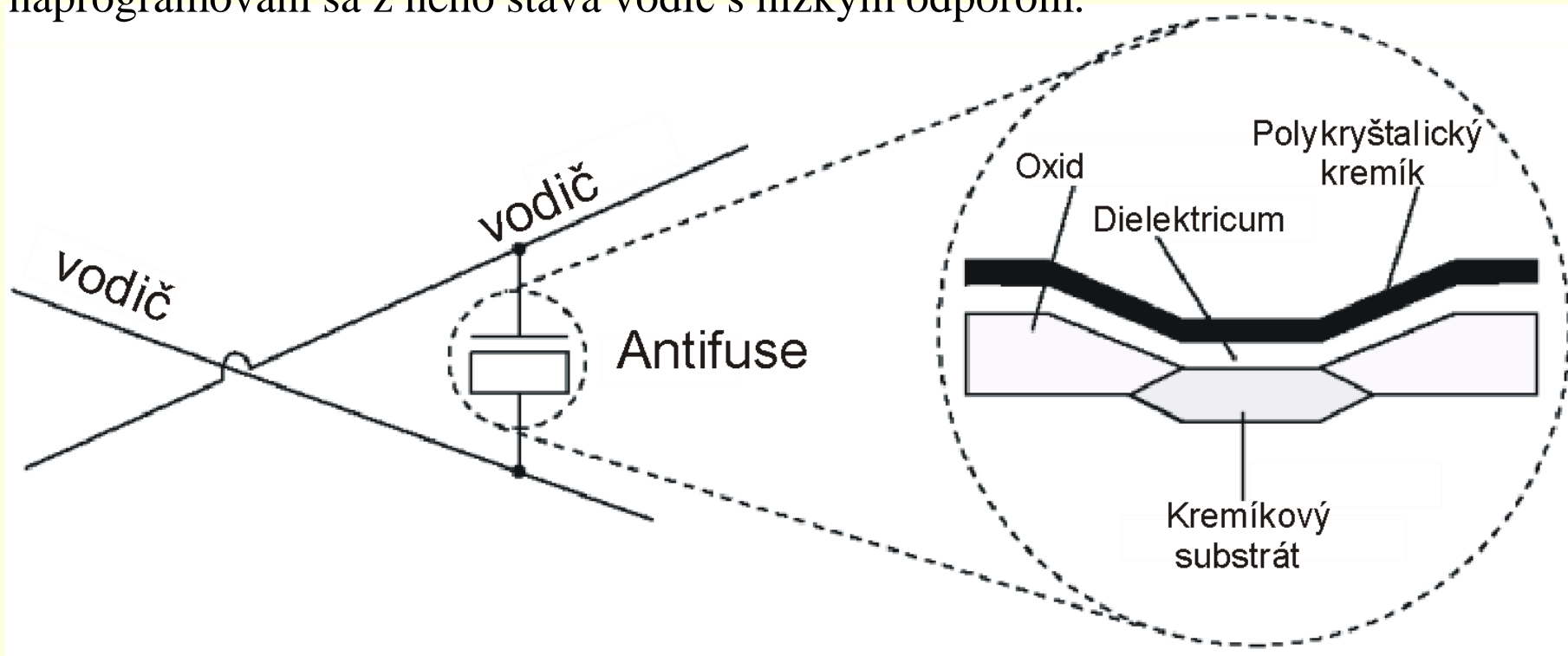
Príklad riadenia programovateľných prepojení prostredníctvom **SRAM** je na obr. Sú tu uvedené dve aplikácie.

Aplikácia, ktorá riadi hradlá spínacích tranzistorov a aplikácia ktorá vyberá riadky multiplexorov, ktoré riadia vstupy logických blokov. Obr. uvádza príklad pripojenia jedného logického bloku (reprezentovaného AND hradlom) k druhému prostredníctvom dvoch prechodových spínacích tranzistorov a multiplexera, pričom celý proces je riadený hodnotami zapísanými v SRAM bunkách.



2.4 ANTIFUSE

Ďalším typom programovateľných spínačov používaných v FPGA obvodoch je *antifuse*. Antifuse (programovateľná prepojka) v nenaprogramovanom stave má veľký odpor, teda je rozpojená. Programovaním znížime odpor tak, že prepojkou bude prechádzať signál. Antifuse sú vyrábané modifikovanou CMOS technológiou. Táto technológia je znázornená na obr. Antifuse je umiestnená medzi dva prepojovacie vodiče. Skladá sa z troch úrovní: hornú a dolnú tvorí vodič a v strede je izolant. V nenaprogramovanom stave izolant izoluje hornú a dolnú vrstvu. Pri naprogramovaní sa z neho stáva vodič s nízkym odporom.

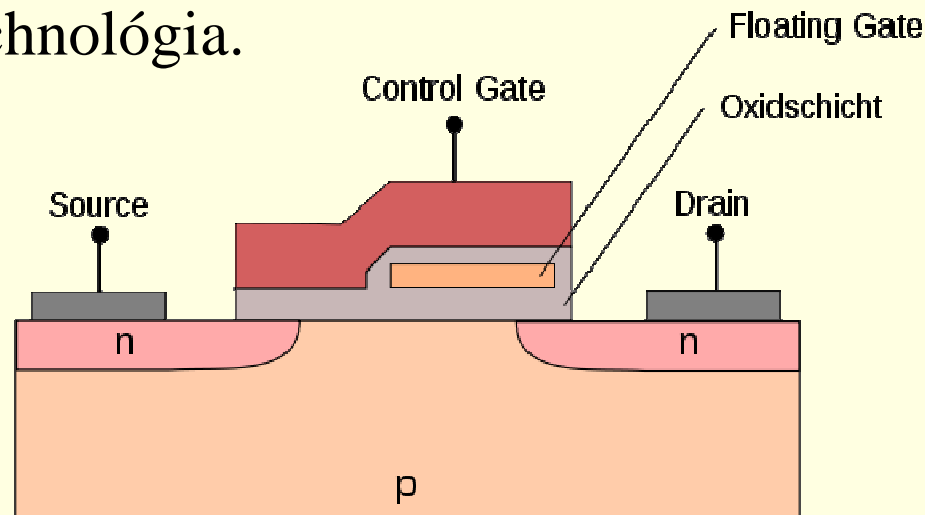


2.5 FLASH

FLASH – elektrický mazateľný a programovateľný ROM. Pamäť je vnútorne organizovaná po blokoch a na rozdiel od pamätí typu EEPROM, je možné programovať každý blok samostatne (obsah ostatných blokov ostane zachovaný).

FLASH:

- majú výhodu EEPROM- môžu byť elektricky mazateľné,
- majú menšiu a úspornejšiu veľkosť bunky podobne ako EPROM technológia.



Prehľad technológií programovania FPD obvodov

Typ spínača	Reprogramo- vateľnosť	Energetická závislosť	Technológia
SRAM	Áno v obvode	Áno	CMOS
EPROM	Áno mimo obvodu	Nie	UVCMOS
EEPROM	Áno v obvode	Nie	EECMOS
FUSE	Nie	Nie	Bipolárna
ANTIFUSE	Nie	Nie	CMOS+

3 Architektúry a typy číslicových obvodov SPLD

- 3.1 Obvody PLD (Programmable Logic Device)
- 3.2 Obvody PLA (Programmable Logic Array)
- 3.3 Obvody PAL (Programmable Array Logic)
- 3.4 Obvody GAL (Generic Array Logic)

3 Architektúry a typy číslicových obvodov SPLD

SPLD sú rýchle a najmenšie obvody a teda aj najlacnejšie z rodiny programovateľných obvodov.

SPLD obsahujú 4 až 22 makrobuniek a väčšinou nahrádzujú systémy ktoré sú realizované niekoľkými TTL obvodmi 7400.

Každá z makrobuniek je úplne prepojená s ostatnými makrobunkami v obvode.

Väčšina SPLD používa buď technológiu pevných prepojení (fuse), alebo technológiu energeticky nezávislých buniek EPROM, EEPROM alebo FLASH.

3.1 Úvod do obvodov SPLD

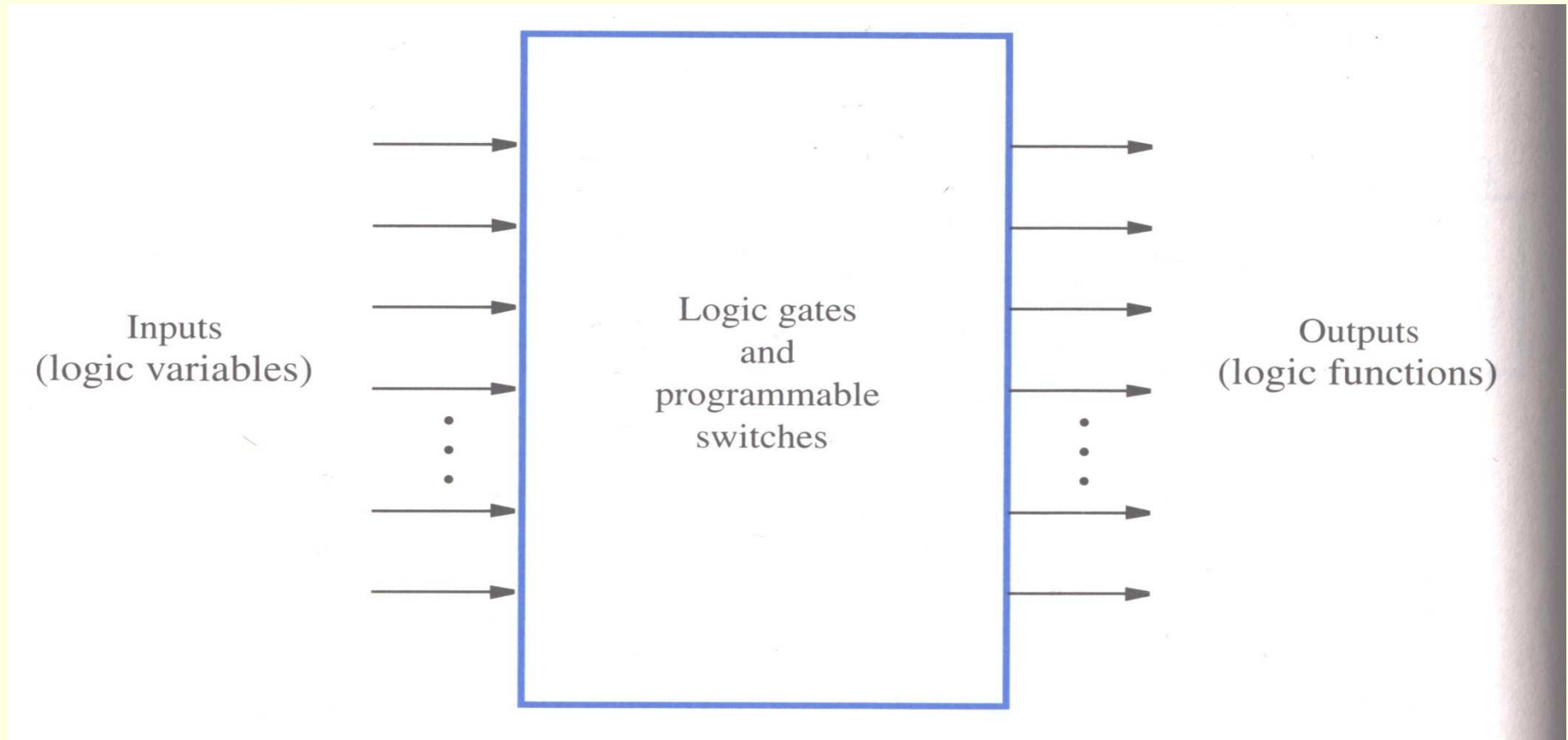
Hlav. výrobcovia sú uvedený v Tab. Obvody tejto kategórie sú charakteristické/ zaujímavé:

- veľmi rýchle,
- lacné.

Manufacturer	SPLD Products	WWW Locator
Altera	Classic	http://www.altera.com
Atmel	PAL	http://www.atmel.com
Cypress	PAL	http://www.cypress.com
Lattice	ispGAL	http://www.latticesemi.com

3.2 Obvody PLA

Všeobecná štruktúra PLA obvodov je na Obr. Na základe toho, že každú logickú funkciu môžeme vyjadriť v tvare súčtu súčinov premenných, PLA sa skladá zo súboru (poľa/ matice) AND hradiel, ktoré sa pripájajú k súboru (poľu/ matici) OR hradiel.

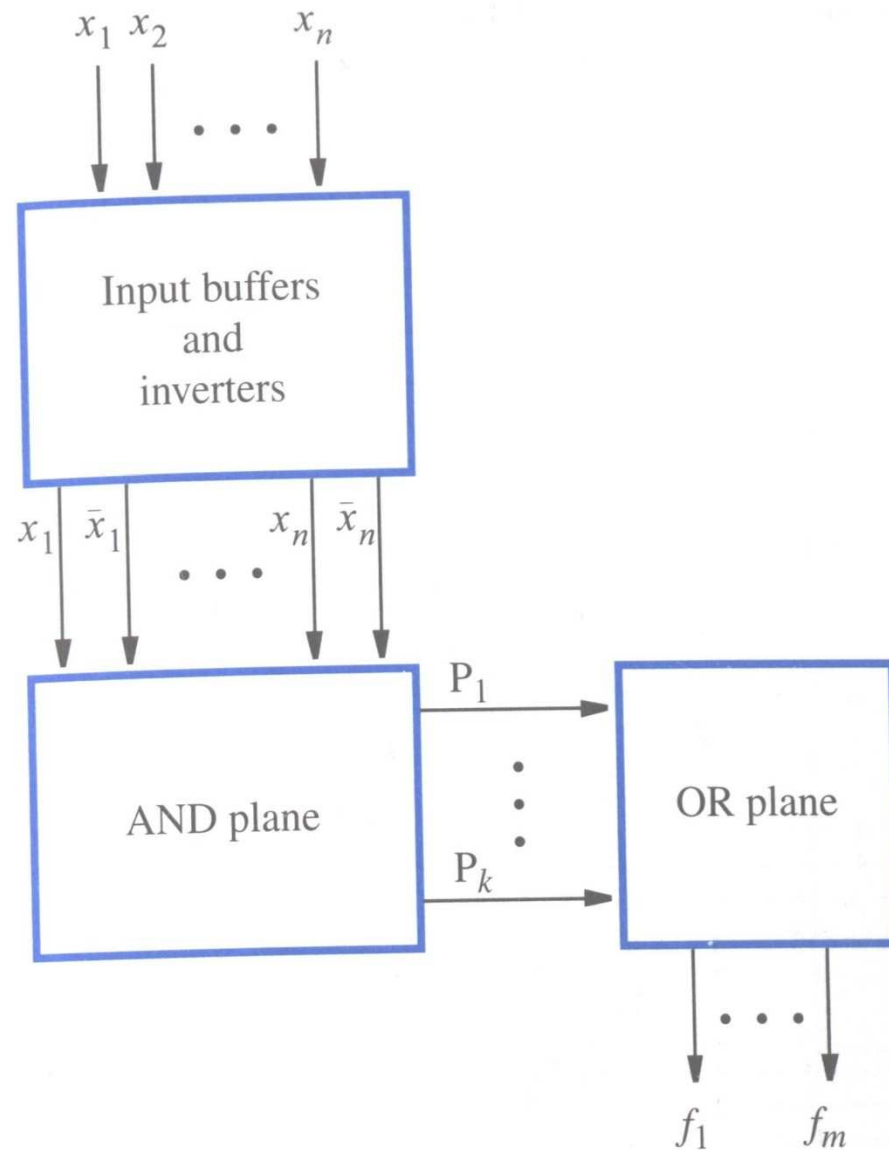


3.2 Obvody PLA

Ako vidieť z Obr. vstupné premenné prechádzajú cez prechodovú pamäť, ktorá vytvárajú doplnky vstupných premenných.

Tie vstupujú do bloku- *pole hradiel AND*, ktoré vytvára súčin týchto premenných.

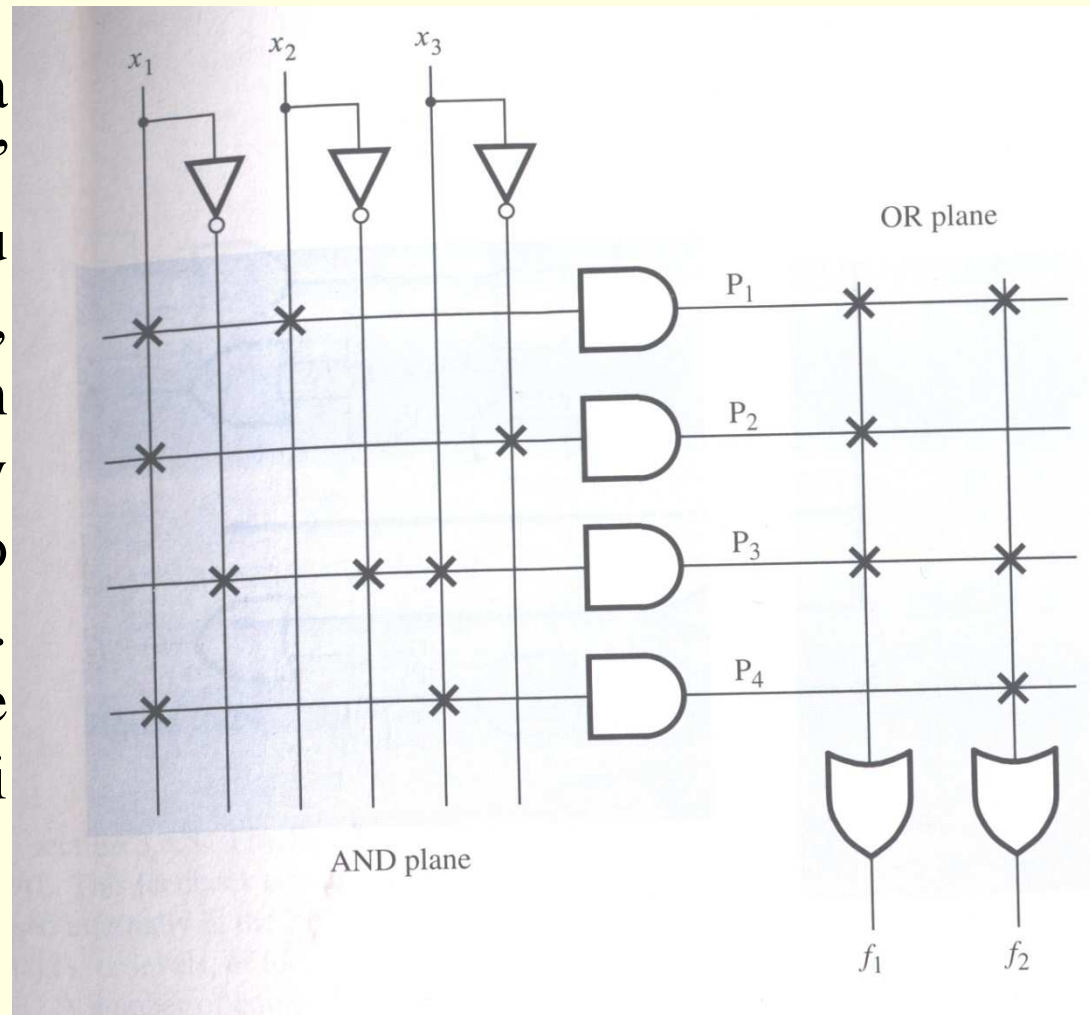
Tie ďalej slúžia ako vstupy do *poľa hradiel OR*, ktoré nakoniec vytvára výsledne požadované funkcie.



3.2 Obvody PLA

Obvody tejto kategórie sú charakteristické nasledovnou vnútornou štruktúrou. Každá vodorovná čiara v programovateľnej matici AND predstavuje vždy jedno súčinové hradlo.

Na vstupy každého hradla môžeme pripojiť „ľubovoľnú“ kombináciu vstupných signálov, spätných väzieb a ich negácií. Počet vstupov každého súčinového hradla je však obmedzený. Podobne to platí aj pre hradlo OR s vertikálnymi čiarami.



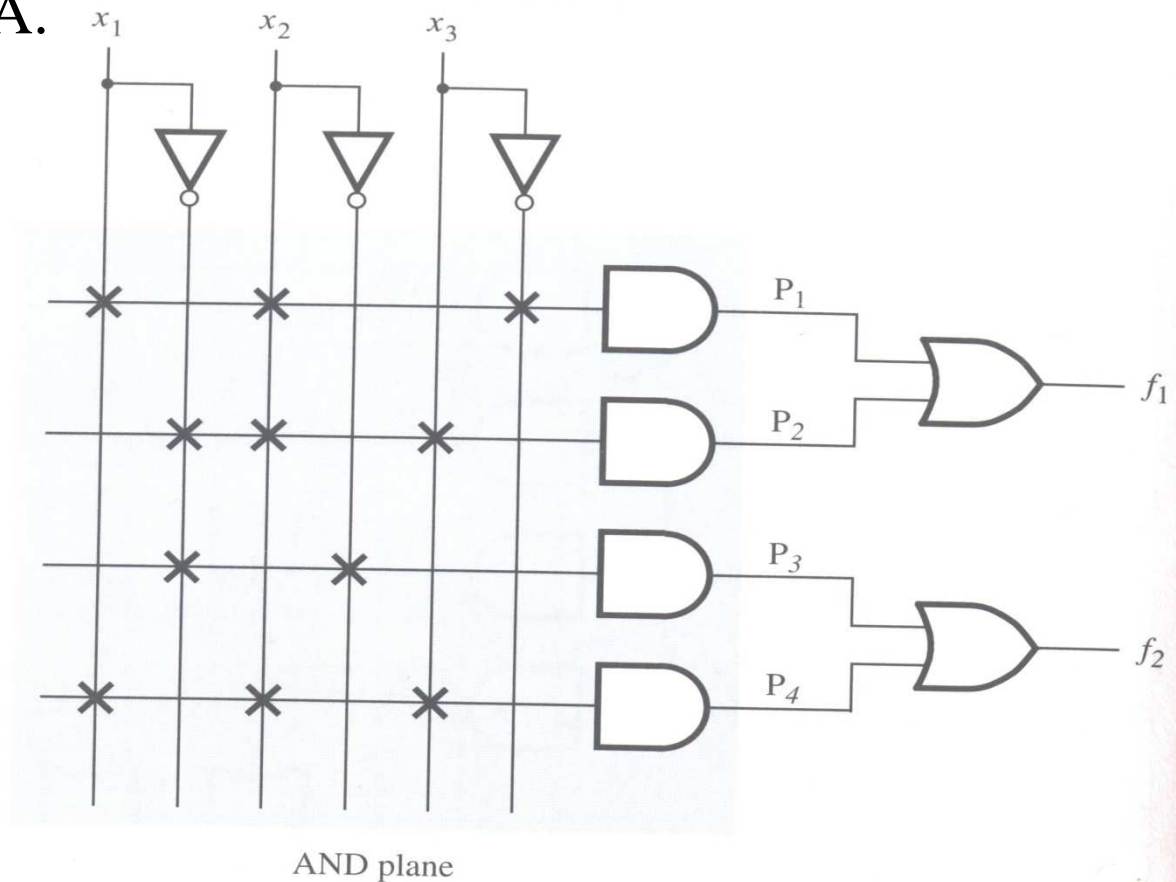
3.3 Obvody PAL

V obvodech PLA- aj pole AND aj pole OR hradiel je programovateľné. Programovateľné spínače však predstavujú pre výrobcov týchto obvodov problémy:

- je ich pomerne ťažko vyrobiť (bezchybne),
- znižujú rýchlosť PLA.

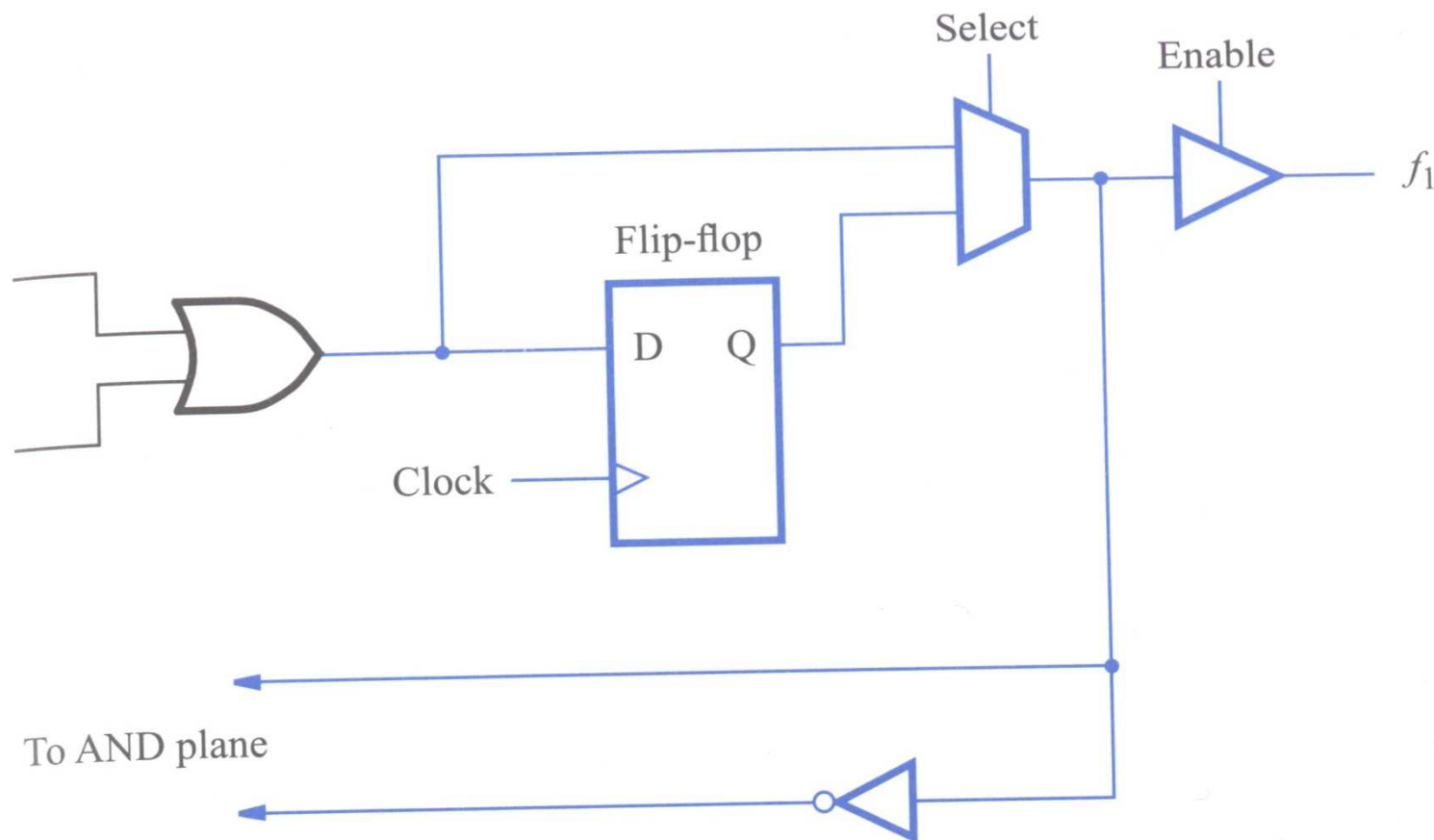
Tento nedostatok viedol k vývoju podobných obvodov, v ktorých pole AND je programovateľné, ale pole OR hradiel je pevné – **PAL** (Obr.).

- jednoduchšie z pohľadu výroby,
- lacnejšie.



3.3 Obvody PAL

V mnohých obvodoch PAL sú k výstupom OR hradiel pripojené dodatočné obvody- *makrobunky*, ktoré poskytujú dodatočnú flexibilitu (Obr.). KO- predstavuje pamäť (na hodinový signál pri prechode z logickej hodnoty 0 do 1).



3.3 Obvody PAL

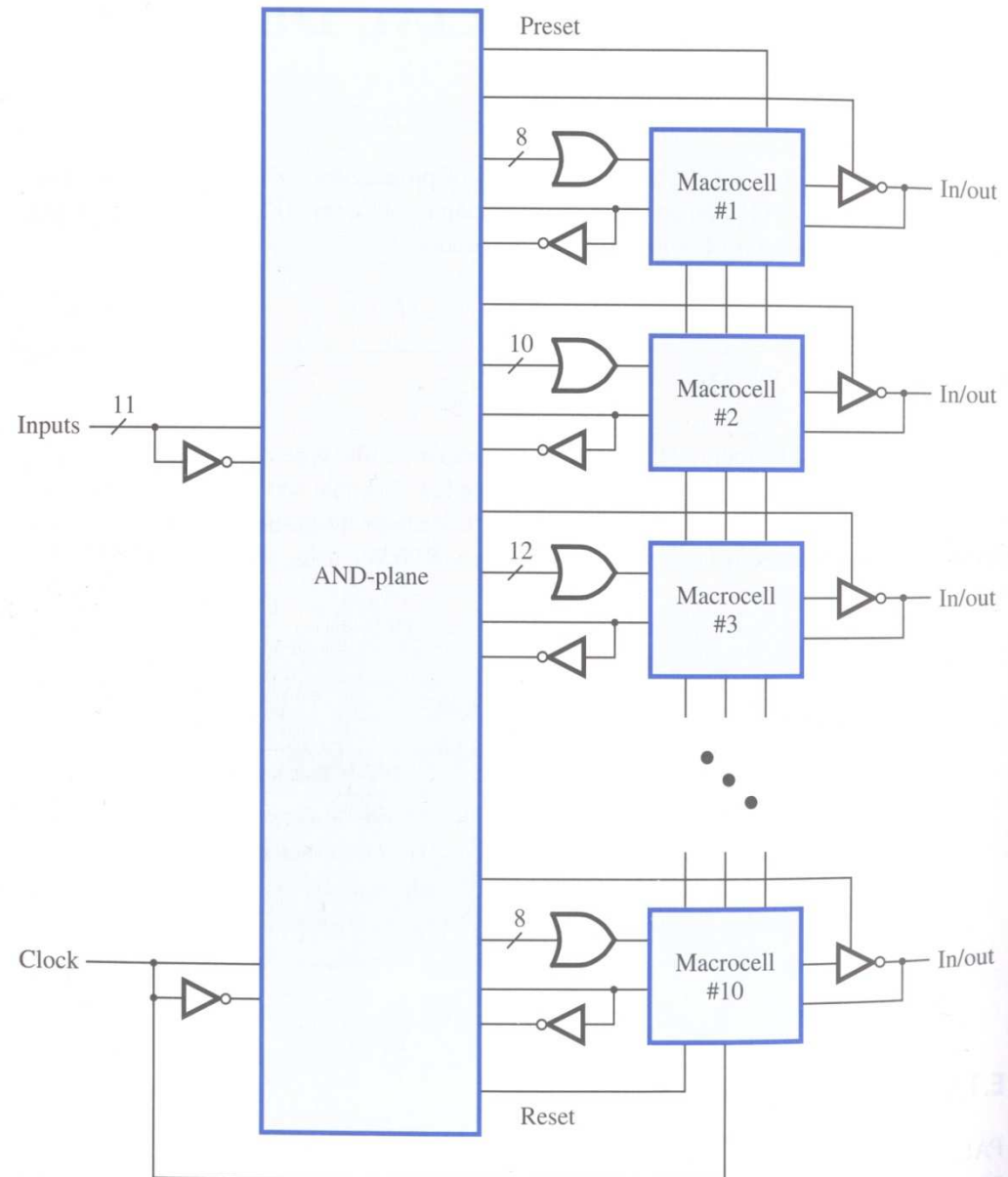
Príklad komerčne vyrábaného obvodu PAL (Advanced Micro Devices- AMD) 22V10 je na Obr. Číslo: NNXOO- S:

- NN- celkový počet vstupov a výstupov
- X- napr. obsahuje KO, ..
- OO- počet výstupov
- S- rýchlosť

12- priradených vstupov

10- vstupov/ výstupov

OR hradla majú rôzny počet vstupov (8- 16)



3.3 Obvody PAL

V mnohých obvodoch PAL sú k výstupom OR hradiel pripojené dodatočné obvody- makrobunky, ktoré poskytujú dodatočnú flexibilitu (Obr.). **XOR hradlo** zabezpečuje programovateľným vstupom (0 alebo 1) doplnok výstupu z OR hradla a pripája ho k D-KO. Multiplexer zabezpečuje premostenie KO.

KO- predstavuje pamäť (aktívna na hodinový signál pri prechode z logickej hodnoty 0 do 1).

Trojstavový buffer

