

# Plán prednášok z predmetu PROGRAMOVATEĽNÉ LOGICKÉ OBVODY (zimný semester 2010)

- 1. ASIC obvody, teoretické základy, klasifikácia**  
historický vývoj a rozdelenie integrovaných obvodov  
typy ASIC obvodov (plne zákaznicke, štandardné bunky, hradlové polia)  
ekonomické aspekty, porovnanie ASIC technológií, ASIC vs. FPGA, možnosti migrácie – štrukturovaný ASIC
- 2. Architektúry a typy PLD obvodov I**  
technológie PROM, EPROM, EEPROM, SRAM, AntiFuse  
jednoduché PLD (PLD), PROM, FPLA, PAL, PLA, GAL, EPLD, MACH  
zložité PLD (CPLD)  
vybraní výrobcovia Altera, Xilinx, AMD, ...
- 3. Metodika návrhu a technologické princípy programovateľných logických polí (PLD)**  
návrhový diagram a etapy návrhu číslicových systémov s obvodmi PLD  
design entry (grafická schéma návrhu pre PLD), hierarchický návrh, knižnica schématických blokov  
verifikácia, typy simulácií, funkčná simulácia
- 4. Architektúry a typy PLD obvodov II**  
užívateľsky rekonfigurovateľné obvody FPGA firiem Xilinx, Altera, Actel  
štruktúra vnútorných buniek a prepojovacia sieť, bloky CLB, EAB, LAB, LE  
vložené (embedded) pamäte  
základné rozdiely medzi obvodmi FPGA firiem Altera a Xilinx
- 5. Vývojové etapy s využitím moderných CAE nástrojov**  
CAE nástroje „nezávislé“ na výrobcach FPGA obvodov, Mentor Graphics  
CAE nástroje Altera, Xilinx  
grafická schéma návrhu, VHASIC jazyk pre opis hardvéru (VHDL), Verilog HDL  
verifikácia, časová simulácia
- 6. VHDL – návrh a syntéza číslicových obvodov I** (prednáška prof. Fischera, ISTASE St. Etienne, Francúzsko)
- 7. VHDL – návrh a syntéza číslicových obvodov II** (prednáška prof. Fischera)
- 8. VHDL – návrh a syntéza číslicových obvodov III** (prednáška prof. Fischera)
- 9. Inicializácia, konfigurácia, čiastočná rekonfigurácia FPGA obvodov**  
spôsoby inicializácie (pasívna, aktívna, sériová, paralelná), konfiguračné pamäte  
typické formáty inicializačných súborov  
technológia hraničných testov (Boundary Scan Technology), norma IEEE JTAG 1149.1  
In System Programming – ISP (Byte Blaster, USB Blaster)  
testovanie v obvodoch FPGA (signal tap, ...)  
ochrana konfigurácie FPGA obvodu s využitím kryptografických metód
- 10. Nové bloky v moderných obvodoch FPGA**  
hierarchické pamäťové subsystémy  
hardvérové násobičky, obvody PLL a DLL pre distribúciu hodinových signálov  
vložené procesorové jadrá, bloky pre dešifrovanie konfiguračných dát  
LPM, a Megafunkcie/IP funkcie  
MegacoreWizard, SOPC Builder, DSP Builder, NIOS II IDE
- 11. Využitie obvodov FPGA, typické aplikácie**  
telekomunikácie, multimédia, autoelektronika  
základy obvodov FPAA, obvody pre spracovanie zmiešaných signálov, PSoC obvody
- 12. Demonštrácie zložitejších aplikácií na báze FPGA obvodov Altera**  
číslcová filtrácia s využitím FPGA obvodov Stratix a IP funkcií Altera  
Linux na syntetickom procesore NIOS

# Plán cvičení z predmetu PROGRAMOVATEĽNÉ LOGICKÉ OBVODY (zimný semester 2010)

Cvičenia budú v Laboratóriu KEMT FEI TU v Košiciach V102b na Vysokoškolskej 4

- 1. Úvodné demonštračné cvičenie, prezentácia CAD systému Altera Quartus II**  
plán cvičení, podmienky udelenia zápočtu, poskytnutie pomocných materiálov na cvičenia ([www.kemt.fei.tuke.sk/fpga](http://www.kemt.fei.tuke.sk/fpga))  
demonštrácia základných etáp práce s obvody FPGA, návrhové prostredie Quartus II, obmedzenia voľnej verzie, získanie licenčných súborov
- 2. Príklady využitia základných blokov AND, NAND, OR, NOR**  
postup tvorby projektu v prostredí Quartus II  
práca s grafickým editorom, waveform editorom  
funkčná/časová simulácia: Quartus  
verifikácia pomocou vývojovej dosky CPLD\_Kit
- 3. Kombinačné obvody (dekóдеры)**  
minimalizácia logických funkcií pomocou karnaughových máp -> schéma  
porovnanie oboch spôsobov
- 4. Sekvenčné obvody**  
klopné obvody, čítače, posuvné registre, čítače  
konečné automaty, maximálna frekvencia, kritická cesta
- 5. Knížnica parametrizovateľných modulov (LPM), Altera megafunkcie, IP funkcie**  
základné vlastnosti, príklady využitia – čítač, ROM, PLL  
návrh a ladenie v prostredí Quartus II, grafický editor
- 6. Opisu hardvéru pomocou jazyka VHDL**  
základné kombinačné štruktúry vo VHDL  
základné sekvenčné štruktúry vo VHDL  
využitie VHDL v Quartus II
- 7. Simulačný nástroj Modelsim**  
funkčná/časová simulácia: ModelSim  
zadávanie stimulov pomocou VHDL skriptov  
VHDL testbench
- 8. Knížnica parametrizovateľných modulov (LPM), Altera megafunkcie, IP funkcie**  
príklady využitia – čítač, ROM, PLL  
návrh a ladenie v prostredí Quartus II a Modelsim, VHDL  
zadanie zadani
- 9. Práca na zadani**  
konzultácie zadani
- 10. Práca na zadani**  
konzultácie zadani
- 11. Pokročilé možnosti platforiem FPGA – syntetické procesory**  
realizácia jednoduchého projektu so syntetickým NIOS II  
príklady hardvérovej verifikácie a využitia signal tap.  
konzultácie zadani
- 12. Práca na zadaniach, konzultácie zadani, finalizácia zadani**
- 13. Udeľovanie zápočtov**  
Poznámky k záverečnému hodnoteniu a skúške:  
Odozvdanie a obhajoba zadania v zápočtovom týždni **max. 40 bodov**  
Písomná skúška - 8 otázok z okruhu otázok **max. 5x 8=40 bodov**  
Praktická otázka z problematiky zadania počas skúšky **max. 20 bodov**  
Spolu 40+20+40=100 bodov  
pri odovzdávaní a obhajobe zadani je možné používať ľubovoľné materiály

# Témy zadaní z predmetu PROGRAMOVATELNÉ LOGICKÉ OBVODY 2010 (zimný semester 2010)

Témy zadaní budú určené v 8. týždni počas cvičení. Na jednom zadaní bude pracovať maximálne dvojica študentov. Vypracované zadanie sa bude odovzdávať a obhajovať v zápočtovom týždni. Odovzdanie **a predovšetkým úspešná obhajoba zadania** je nutnou podmienkou udelenia zápočtu a bude hodnotené max **40 (odovzdanie a obhajoba zadania) + 20 (praktická otázka počas skúšky)** bodmi. Počas obhajoby zadania bude overovaná znalosť z problematiky preberanej na cvičeniach (práca v prostredí Quartus II a ModelSim, problematika riešená v zadaní, ...).

## **Všetky zadanía musia spĺňať nasledujúce požiadavky:**

- obsahovať čelnú stranu s uvedením názvu predmetu, katedry a riešeného zadania, mená riešiteľov, ročník a dátum odovzdania,
- formuláciu zadania,
- teoretický rozbor riešenej problematiky a opisovaného riešenia v rozsahu dostatočnom na pochopenie odovzdaného zadania,
- vytlačené (dostatočne komentované) zdrojové VHDL kódy,
- kompletný projekty v návrhovom prostredí **Quartus II** (funkčná a časová simulácia) v archivačnom **qar** formáte a **ModelSim** (minimálne funkčná simulácia),
- prezentácia výsledkov vo forme grafov, tabuliek a pod.,
- zhodnotenie zadania a dosiahnuté výsledky,
- zadanie vo formáte PDF + zdrojový Office, TeX, OpenOffice a pod.
- zadanie vytlačené a vložené do euroobalu + odovzdané elektronické verzie **VŠETKÝCH** dokumentov (zaslané emailom v tvare (bez diakritiky!!!) **PLO2010\_Priezvisko\_Meno\_TExxxxxx.zip** cvičiacemu):

V prípade, že zadanie nebude obsahovať všetky časti, nebude prevzaté.

# Okruh otázok z predmetu PROGRAMOVATEĽNÉ LOGICKÉ OBVODY (zimný semester 2010)

- 1. Historický vývoj a rozdelenie IO**
- 2. Dôvody použitia obvodov ASIC, alternatívy obvodov ASIC**  
základná klasifikácia
- 3. Typy PLD obvodov**  
základné štruktúry (SPLD, CPLD, FPGA)
- 4. Ekonomické aspekty a porovnanie ASIC technológií**  
hlavné výhody a charakteristiky konverzie  
konverzia z FPGA -> ASIC
- 5. Metodika návrhu PLD**  
činnosť pred započatím návrhu  
rozdelenie CAD nástrojov  
modely pre metódy návrhu
- 6. Etapy návrhu číslicových systémov s obvodmi PLD**  
diagram návrhu ASIC & FPGA obvodov  
špecifikácia a formalizácia návrhu
- 7. Etapy návrhu číslicových systémov s obvodmi PLD**  
zjednotenie vstupov, minimalizácia, voľba typu obvodu PLD, optimalizácia použitých prostriedkov
- 8. Etapy návrhu číslicových systémov s obvodmi FPD**  
dokumentácia, generovanie „programovacieho“ súboru návrhovým systémom, programovanie, testovanie
- 9. Klasifikácia PLD z hľadiska technológie výroby, FUSE, EPROM a EEPROM**  
základný princíp a vlastnosti
- 10. Klasifikácia PLD z hľadiska technológie výroby, SRAM, ANTIFUSE, FLASH**  
základný princíp a vlastnosti
- 11. Architektúry a typy číslicových obvodov CPLD**  
základná štruktúra, stavebné bloky a vlastnosti
- 12. Architektúry a typy číslicových obvodov FPGA**  
základná štruktúra, stavebné bloky a vlastnosti
- 13. Funkčná simulácia**  
princíp, rozdiel medzi funkčnou a časovou simuláciou
- 14. Časová simulácia**  
princíp, Quartus, Modelsim, význam súborov VHO a SDO
- 15. Konfigurácia FPGA obvodov**  
základný princíp, základné rozdelenie konfiguračných módov (PS, ..., JTAG)
- 16. Aktívna inicializácia FPGA obvodov**  
význam, výhody, využitie
- 17. Pasívna inicializácia FPGA obvodov**  
význam, výhody, využitie
- 18. Konfiguračné pamäte**  
základné vlastnosti, blokový diagram
- 19. Kompresia a dekompresia konfiguračných dát**  
význam, príklad využitia, typické kompresné pomery
- 20. Šifrovanie konfiguračných súborov**  
význam, typické riešenia (TDES, AES, baterka vs. FLASH)
- 21. Technológia hraničných testov (JTAG)**  
základný princíp, signály JTAG rozhrania, zapojenie „daisy chain“
- 22. TAP radič rozhrania JTAG**

princíp, význam a využitie konečného automatu v TAP radiči

- 23. Moderné testovacie techniky v obvodoch FPGA**  
Signal Tap, možnosti a využitie
- 24. Hierarchické pamäťové systémy v FPGA**  
rozdelenie pamäťových blokov v FPGA obvodoch, typické využitie
- 25. Obvody PLL v obvodoch (Altera) FPGA**  
základný princíp, výhody, nevýhody, použitie
- 26. Obvody DLL v obvodoch (Xilinx) FPGA**  
základný princíp, výhody, nevýhody, použitie
- 27. Vložené procesorové jadrá**  
princíp, trendy, „soft“ a „hard“ jadrá .
- 28. „Soft“ procesor NIOS**  
základné vlastnosti, typické parametre (počet LE, dosahované frekvencie), výhody
- 29. Štruktúra LE CLB bloku v klasických Altera FPGA**  
základná štruktúra (LUT, klopný obvod, ...)
- 30. Štruktúra CLB bloku v klasických Xilinx FPGA**  
základná štruktúra (LUT, klopný obvod, ...)
- 31. Štruktúra LE a CLB blokov v najnovších FPGA**  
trendy vo vývoji (veľkosť LUT, počet klopných obvodov, ...)
- 32. LPM funkcie**  
význam a využitie, typické LPM, porovnanie s Megafunkciami/IP
- 33. Megafunkcia a IP funkcie**  
význam a využitie, typické príklady, porovnanie s LPM
- 34. Megacore wizard**  
význam a využitie
- 35. DSP builder**  
význam a využitie
- 36. Trendy vo vývoji FPGA obvodov**  
zaujímavé riešenia a trendy rôznych výrobcov
- 37. Jazyk VHDL pre opis hardvéru**  
základné konštrukcie, princípy