

Cvičenie 2

Syntéza kombinačnej logiky v CPLD ALTERA pomocou schematickeho vstupu + funkčná a časová simulácia

Úloha: Realizujte prevodník BCD na 7-segmentový displej v rozsahu vstupu 0 až 7 na doske CPLD_KIT. Vstup vytvorte pomocou DIP-SWICH prepínačov (S4).

Postup:

- 1) Analýza zadania + oboznámenie sa s doskou
- 2) Zostavenie logických funkcií
- 3) Nakreslenie schémy ako vstupu pre vývojové prostredie v QUARTUS II
- 4) Funkčná simulácia
- 5) Časová simulácia
- 6) Konfigurácia CPLD ALTERA na doske CPLD_KIT

Analýza zadania

Vstup je v rozsahu 0-7 ktorý je možné reprezentovať tromi bitmi. Výstup pre 7-segmentový displej je nutné reprezentovať siedmymi bitmi. Pre osem rôznych vstupov (0-7) budú pomocou siedmich logických funkcií (pre každý segment na displeji jedna) priradené pravidlá rozsvetovania príslušných segmentov na displeji reprezentované tabuľkou:

	A	B	C		a	b	c	d	e	f	g
0	1	1	1		0	0	0	0	0	0	1
1	1	1	0								1
2	1	0	1								0
3	1	0	0								0
4	0	1	1								0
5	0	1	0								0
6	0	0	1								0
7	0	0	0								0

Vstupné kombinácie sú invertované, pretože po oboznámení sa so schémou dosky je zjavné, že DIP-SWICH má na výstupe '0' ak je zopnutý a '1' ak je rozopnutý. Displej má spoločnú ANÓDU, to znamená že má spoločný „+“, a CPLD budí KATÓDY displeja. Ak chceme aby segment svietil, je potrebné priviesť '0' na príslušný pin. Hodnoty a-f pre kombinácie 1-7 doplnia študenti podľa schémy.

Zostavenie logických funkcií

Logické funkcie môžeme realizovať pomocou Karnaugovej mapy (použijeme minimálnu súčtovú formu). Ako príklad uvidíme zostavenie logickej funkcie pre segment g:

	B		C	
A	0	0	0	0
	0	1	1	0

$$g = AB$$

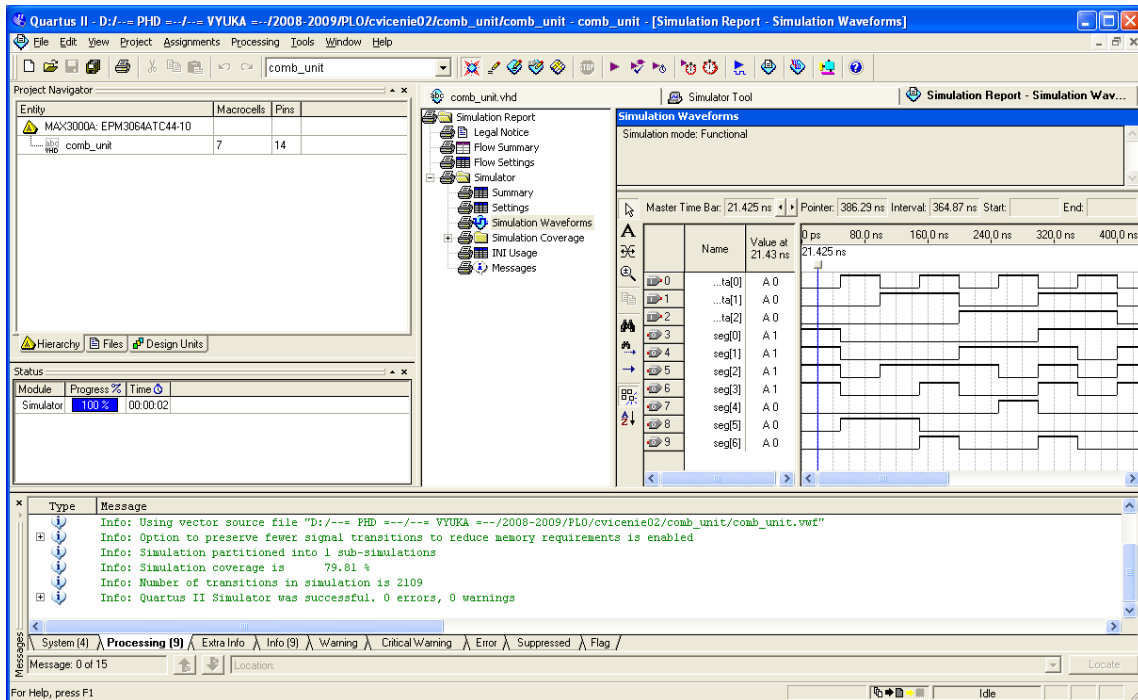
Zvyšné logické funkcie zostavia študenti.

Nakreslenie schémy ako vstupu pre návrhový systém QUARTUS II

- 1) otvoríme QUARTUS II
- 2) File => New Project Wizard
- 3) Next
- 4) Zadať cestu, kde má byť projekt uložený
- 5) Zadať názov projektu
- 6) Next
- 7) Next
- 8) Zvoliť súčiastku: EPM 3064ATC44-10
- 9) Next
- 10) Finish
- 11) File => New => Block Diagram/Schematic File
- 12) Pomocou toolbaru nakresliť schému. Logické funkcie budú realizované členmi AND, OR a NOT. Vstupné piny: Input pin. Výstupné piny Output pin.
- 13) Processing => Start Compilation (kompilácia)

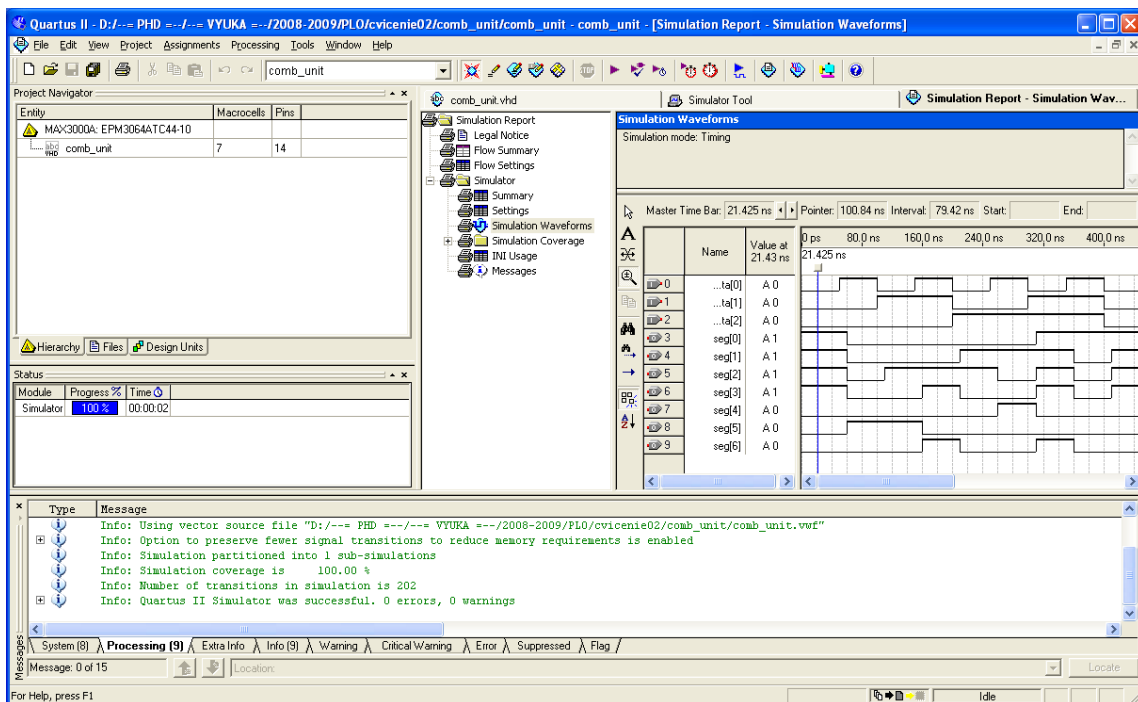
Funkčná simulácia

- 1) File => New => Other Files => Vector Waveform File
- 2) RightClick na „Name“
- 3) Insert => Insert Node or Bus
- 4) Node Finder
- 5) List
- 6) Vybrať požadované signály
- 7) OK
- 8) RightClick na meno signálu
- 9) Value => clock => period cca 100ns (pre ostatné signály inú periódu)
- 10) OK
- 11) File => Save
- 12) Processing => Simulator Tool
- 13) Simulation Mode => Functional
- 14) Generate Functional Simulation Netlist
- 15) Start
- 16) Report



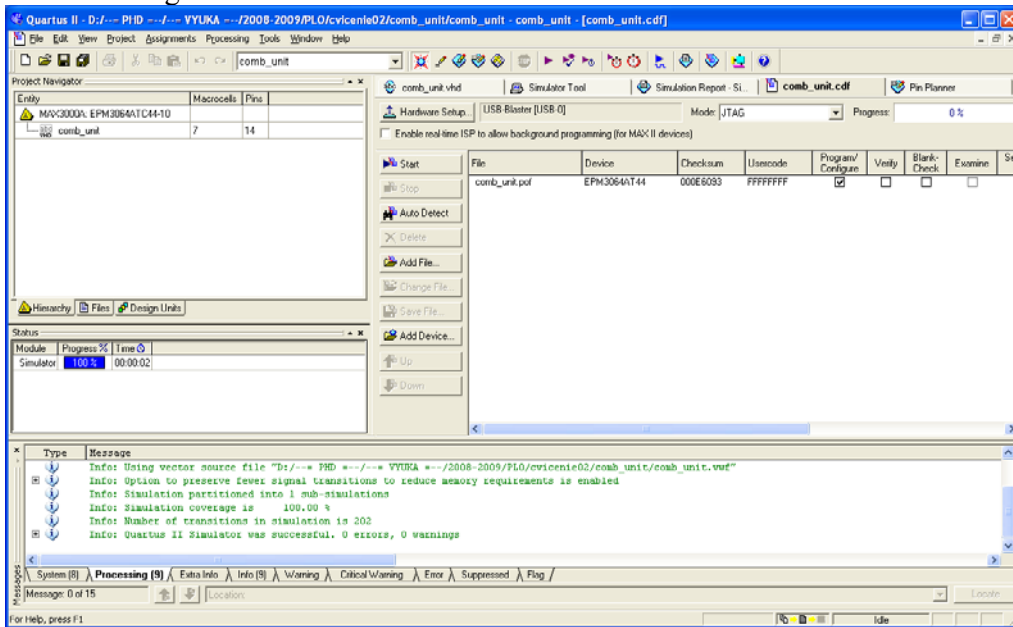
Časová simulácia

- 1) Processing => Simulator Tool
- 2) Simulation Mode => Timing
- 3) Start
- 4) Report



Konfigurácia CPLD ALTERA na doske CPLD_KIT

- 1) Assignments => Pin Planner (nedefinovanie pinov podľa schémy, napr segment g na PIN_44, zvyšok doplnia študenti)
- 2) Save
- 3) Tools => Programmer



- 4)
- 5) Skontrolovať podľa obrázku hore
- 6) Start
- 7) Otestovať, či projekt funguje aj na doske