

FPGA obvody

Pavol Galajda, KEMT, FEI, TUKE
Pavol.Galajda@tuke.sk

7 Vývojové prostriedky obvodov FPGA

- 7.1 Altera- Quartus II
- 7.2 Xilinx- ISE WEB Pack
- 7.3 Mentor Graphic- FPGA Advantage

7.1 Altera- Quartus II

Quartus II je vývojový systém pre návrh číslicových systémov s programovateľnými logickými obvodmi od firmy ALTERA.

Je to systém, ktorý umožňuje vytvoriť návrh rôznymi spôsobmi:

- schematicky,
- vytváraním zdrojového kódu, ...

pričom jednotlivé spôsoby môžeme kombinovať v jednom návrhu (čo umožňuje hierarchické usporiadanie návrhu).

7.1 Quartus II- Postup pri návrhu

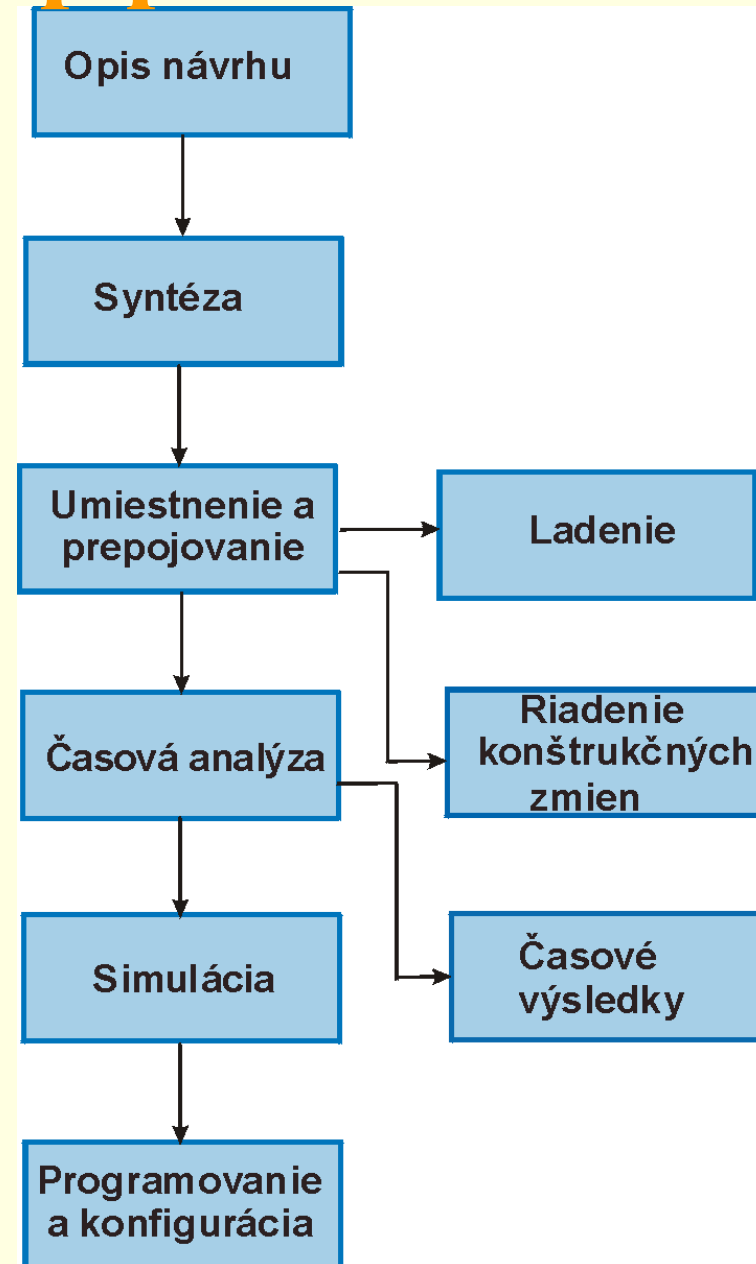
Quartus II:

- Poskytuje kompletne návrhové prostredie, ktoré sa ľahko prispôsobuje potrebám návrhu užívateľa,
- poskytuje riešenia pre všetky fázy návrhu FPGA a CPLD.

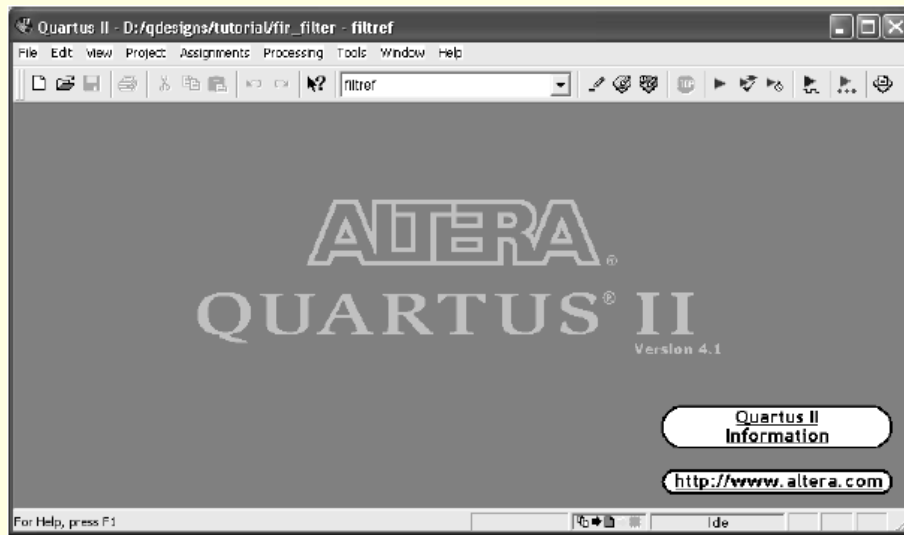
Dovoľuje používať:

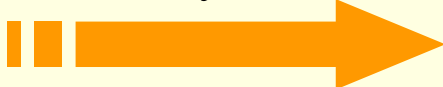
- grafické návrhové prostriedky,
- EDA nástroje,
- príkazový riadok,

pre celý návrh, alebo je možné používať rôzne nastavenia pre jednotlivé fázy návrhu.



7.1 Quartus II- Grafické prostriedky



Obr. ukazuje funkcie, ktoré Quartus II grafický návrhový prostriedok poskytuje v jednotlivých fázach návrhu. 

Design Entry

- Text Editor
- Block & Symbol Editor
- MegaWizard Plug-In Manager
- Assignment Editor
- Floorplan Editor

System-Level Design

- SOPC Builder
- DSP Builder

Software Development

- Software Builder

Synthesis

- Analysis & Synthesis
- VHDL, Verilog HDL & AHDL
- Design Assistant
- RTL Viewer
- Technology Map Viewer

Block-Based Design

- LogicLock Window
- Floorplan Editor
- VQM Writer

Place & Route

- Filter
- Assignment Editor
- Floorplan Editor
- Chip Editor
- Report Window
- Incremental Fitting
- Resource Optimization Advisor

EDA Interface

- EDA Netlist Writer

Timing Closure

- Floorplan Editor
- LogicLock Window
- Timing Optimization Advisor

Timing Analysis

- Timing Analyzer
- Report Window
- Technology Map Viewer

Debugging

- SignalTap II
- SignalProbe
- In-System Memory Content Editor
- RTL Viewer
- Technology Map Viewer
- Chip Editor

Simulation

- Simulator
- Waveform Editor

Programming

- Assembler
- Programmer
- Convert Programming Files

Engineering Change Management

- Chip Editor
- Resource Property Editor
- Change Manager

7.1 Quartus II- EDA nástroje


Quartus II
dovoľuje použiť
EDA prostriedky pre
rôzne fázy návrhu.

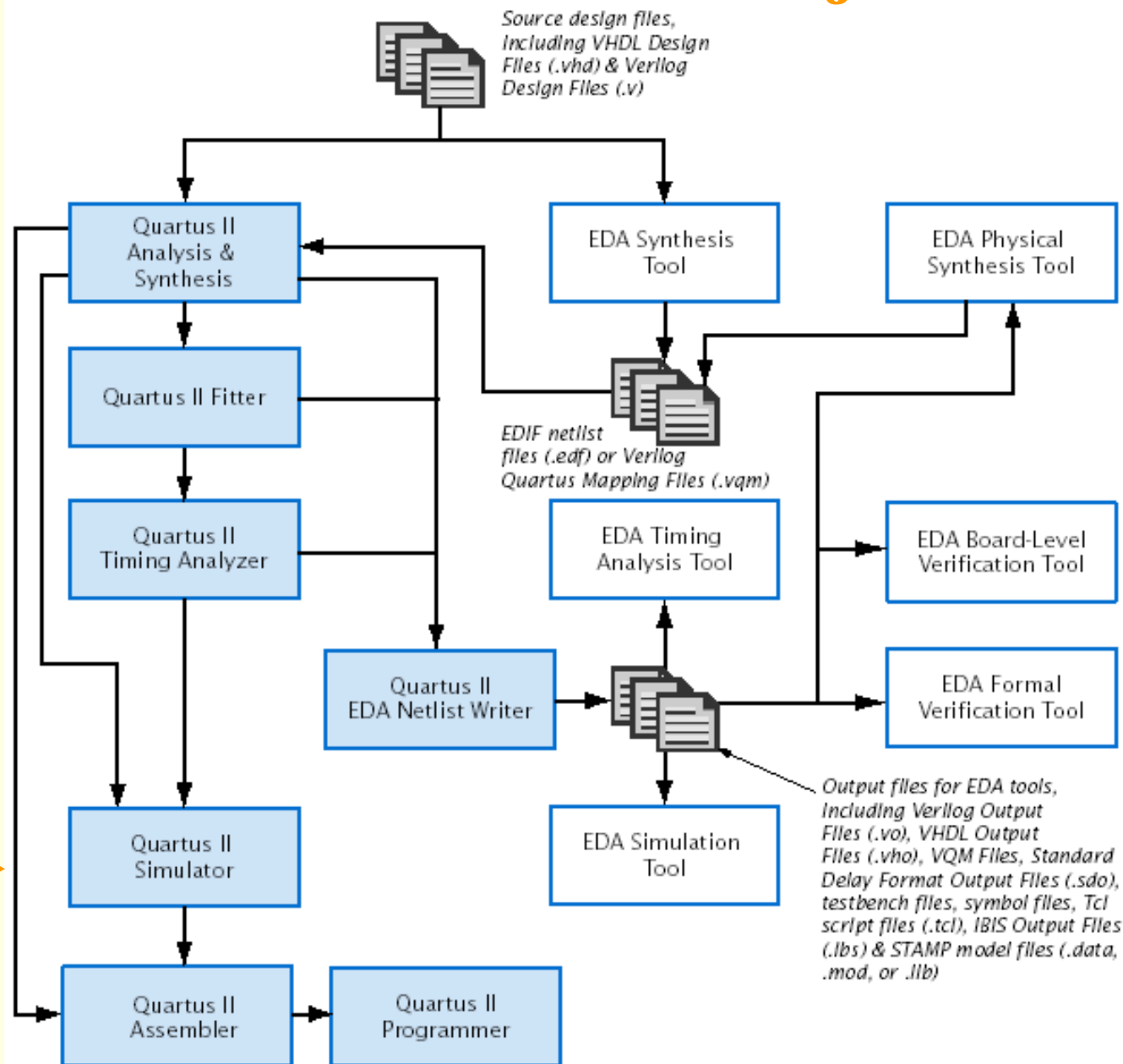
Syntéza:

- MG LeonardoSpectrum
- MG Precisin

Simulácia:

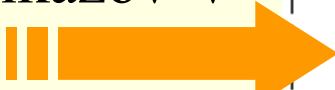
- MG ModelSim

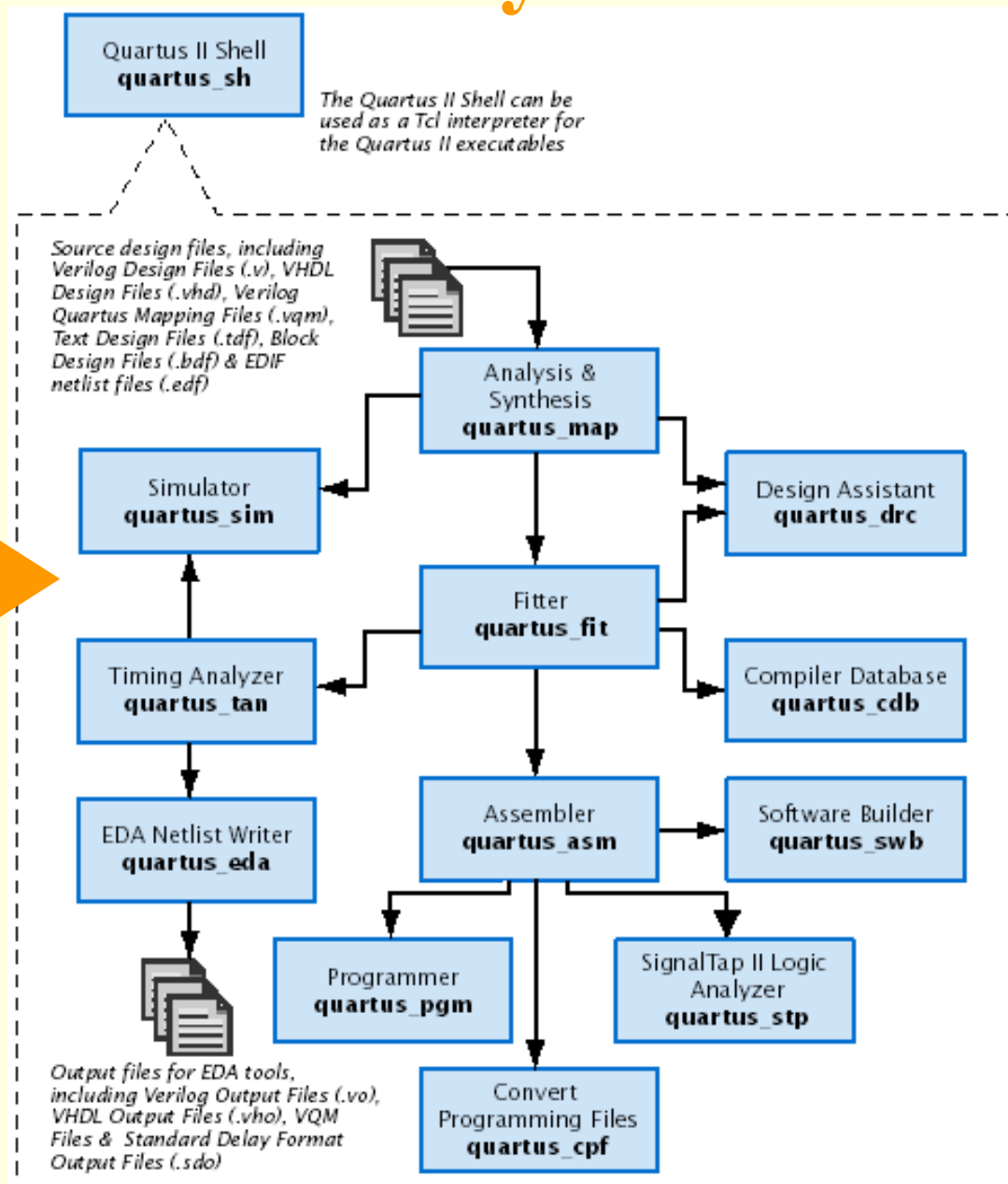
Obr. ukazuje postup
pri návrhu použitím
EDA. 



7.1 Quartus II- Príkazový riadok

Quartus II dovoľuje použiť v rôznych fázach návrhu aj **príkazový riadok**.

Obr. ukazuje postup pri návrhu použitím príkazov v príkazovom riadku. 

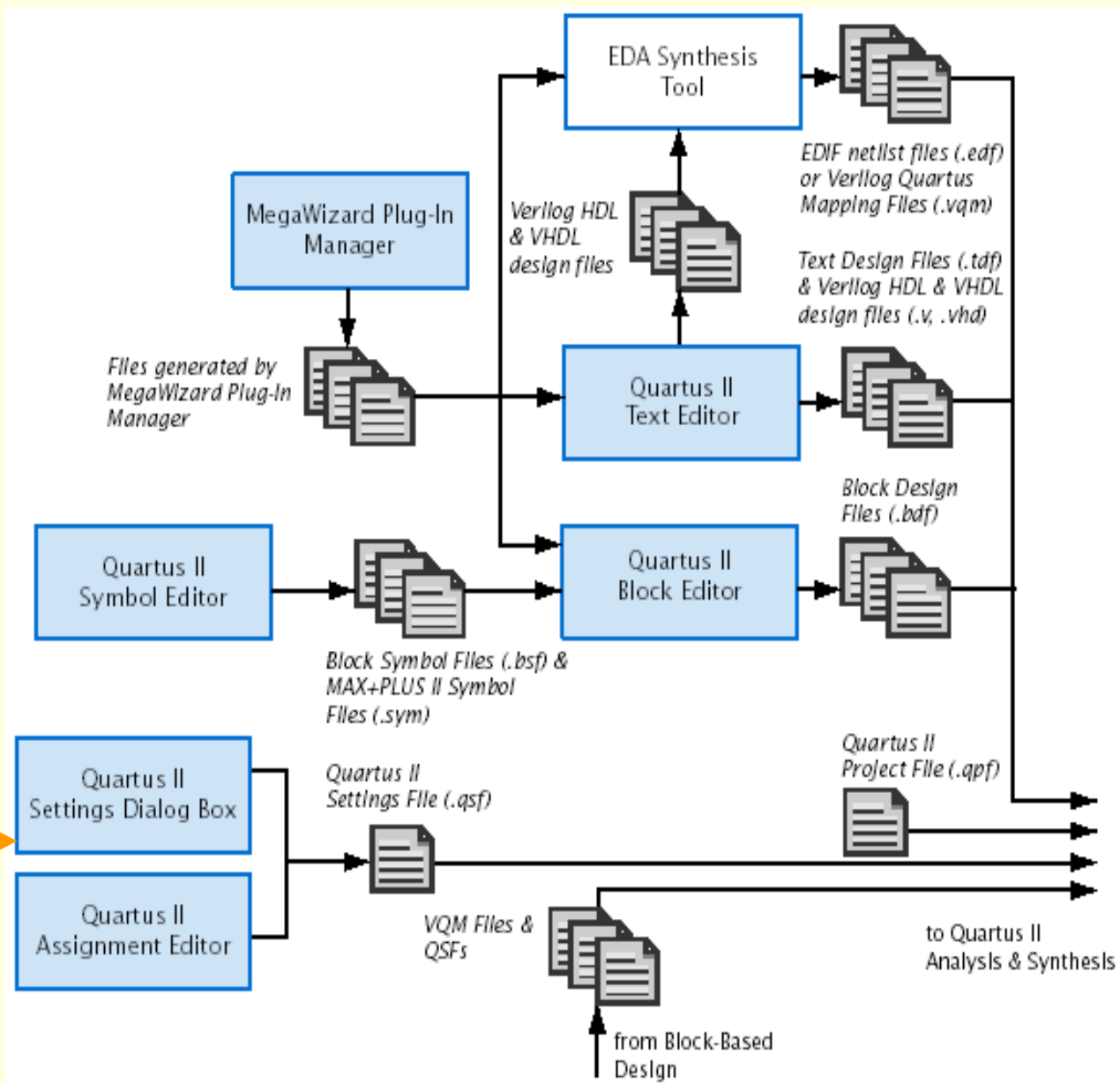
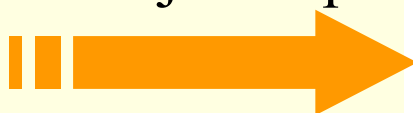


7.1 Quartus II- Opis návrhu

Quartus II projekt obsahuje rôzne návrhové súbory, zdrojové súbory a iné sprievodné súbory potrebné pre správnu činnosť návrhu.

- + megafunkcie
- + LPM funkcie
- + IP funkcie

Obr. ukazuje opis návrhu



7.1 Quartus II- Opis návrhu

Vytvorenie projektu

Nový projekt je možné vytvoriť použitím príkazu **New Projekt Wizard** z **File menu** alebo pomocou príkazu **quartus_map**.

Príkazom **New Projekt Wizard** sa špecifikuje pracovný adresár projektu, meno projektu a určí sa meno najvyššej úrovne navrhovaného objektu. Okrem toho môžeme špecifikovať, ktoré návrhové súbory, zdrojové súbory, užívateľské knižnice a EDA prostriedky chceme používať v projekte ako aj špecifikovať použitý obvod.



7.1 Quartus II- Opis návrhu

Vytvorenie návrhu


Tabuľka ukazuje rôzne typy súborov, ktoré môžu byť použité pri vytváraní návrhov v Quartus II alebo v EDA prostriedkoch.

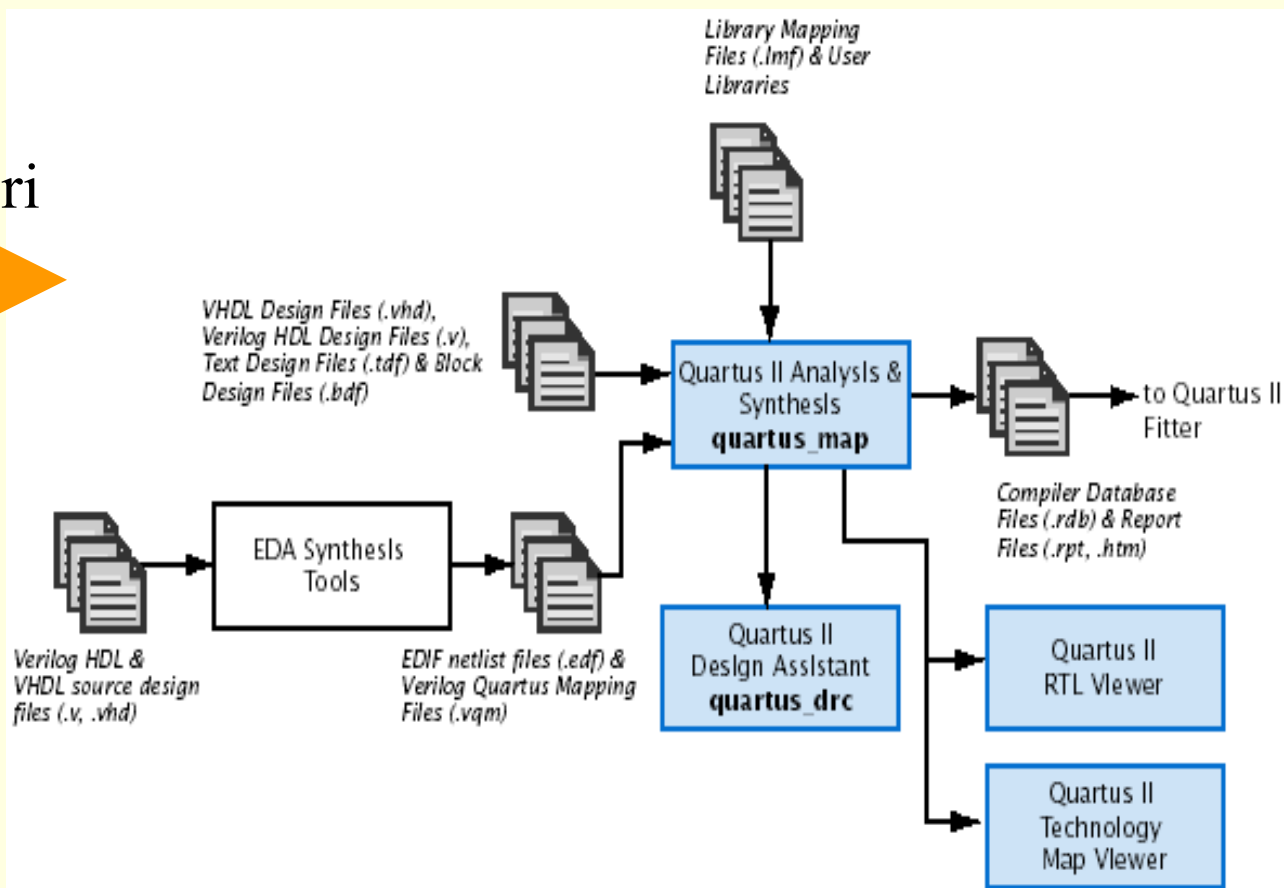
Typ súboru	Popis	Prípona
<i>Block Design File</i>	Schematický súbor vytvorený s <i>Quartus II Block Editor</i>	.bdf
<i>EDIF Input File</i>	EDIF netlist- ovský súbor,	.edf .edif
<i>Graphic Design File</i>	Schematický súbor, vytvorený s <i>MAX+PLUS II Graphic Editor</i>	.gdf
<i>Text Design File</i>	AHDL (Altera HDL) súbor	.tdf
<i>Verilog Design File</i>	Súbor, ktorý obsahuje navrhovanú logiku definovanú s <i>Verilong HDL</i>	.v .vlg .verilong
<i>VHDL Design File</i>	Súbor, ktorý obsahuje navrhovanú logiku definovanú s <i>VHDL</i>	.vh .vhd .vhdl



7.1 Quartus II- Analýza a syntéza

Analýzu a Syntézu (*Analysis & Synthesis*) môžeme využívať na analýzu návrhu a na vytváranie databázy projektu. Syntéza používa Quartus II Integrated Synthesis na syntézu návrhu vo VHDL (**.vhd**) alebo Verilog (**.v**). Ak na syntézu návrhu vo VHDL alebo Verilog použijeme iné EDA prostriedky, generuje sa EDIF Netlist File (**.edf**) alebo Verilog Quartus Mapping File (**.vqm**), ktoré môžu byť potom použité v Quartus II.

Obr. ukazuje postup pri syntéze. 

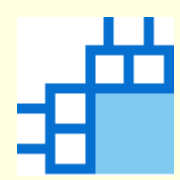




7.1 Quartus II- Analýza a syntéza

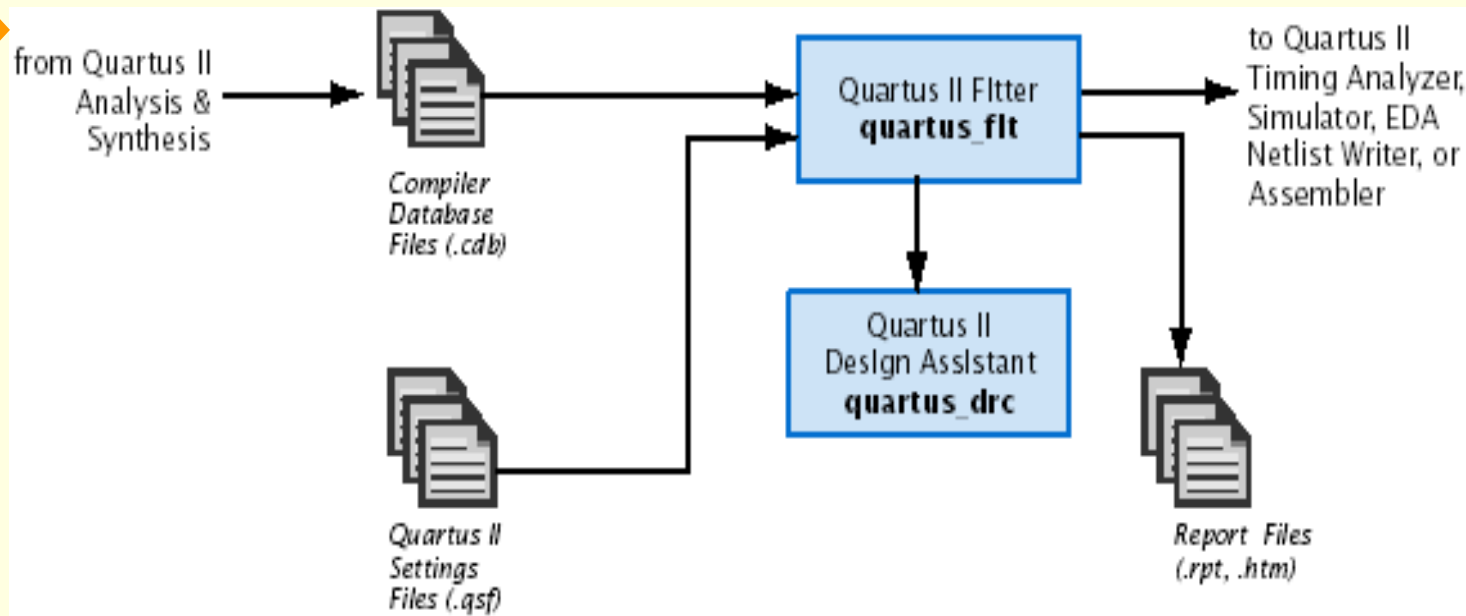
Pri použití iných EDA nástrojov na syntézu môže užívateľ špecifikovať aj súbor mapovania knižnice (*Library Mapping File* – **.lmf**), ktorý sa bude využívať na mapovanie funkcií, ktoré nie sú funkciami Quartus II. Tieto ale aj iné nastavenia je možné definovať vo **Verilog Input** a **VHDL Input** v dialógovom okne **Settings**.

Analýza a syntéza používa niekoľko algoritmov na minimalizáciu počtu hradiel, odstránenie nadbytočnej logiky a efektívne využíva architektúru obvodu.




7.1 Quartus II- Umiestnenie a prepojovanie

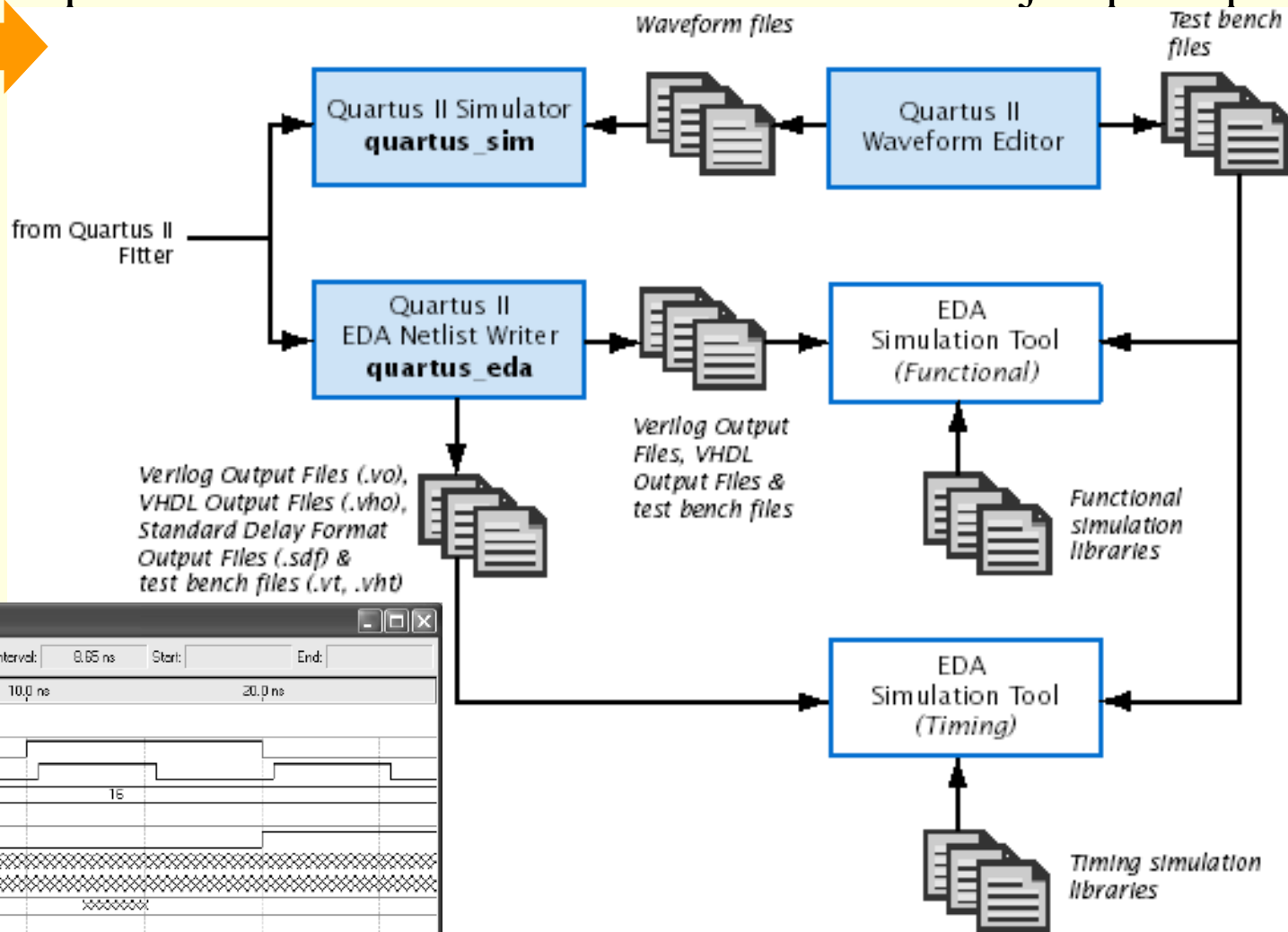
Quartus II *Fitter*, realizuje umiestnenie a prepojovanie- navrhovanej logickej funkcie. Využíva sa databáza, ktorá bola generovaná pri analýze a syntéze. Fitter porovnáva logické a časové požiadavky projektu s dostupnými zdrojmi obvodu. Každú logickú funkciu priradí k logickej bunke, ktorá má najlepšie umiestnenie z pohľadu prepojovania a oneskorenia a vyberie vhodnú prepojovaciu cestu a pin obvodu. Obr. ukazuje postup umiestnenia a prepojovania v návrhu.



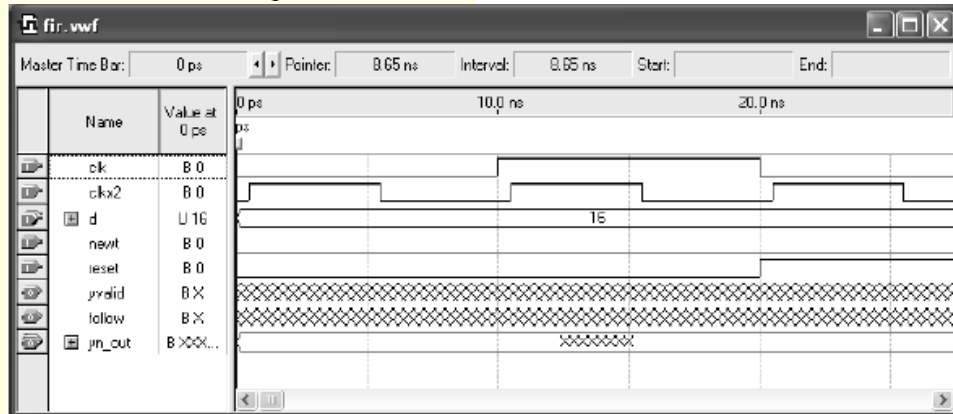


7.1 Quartus II- Simulácia

Funkčnú a časovú simuláciu návrhu môžeme vykonať použitím QuartusII simulátora alebo použitím EDA simulátora. Obr. ukazuje postup simulácie. 



Quartus II Waveform Editor

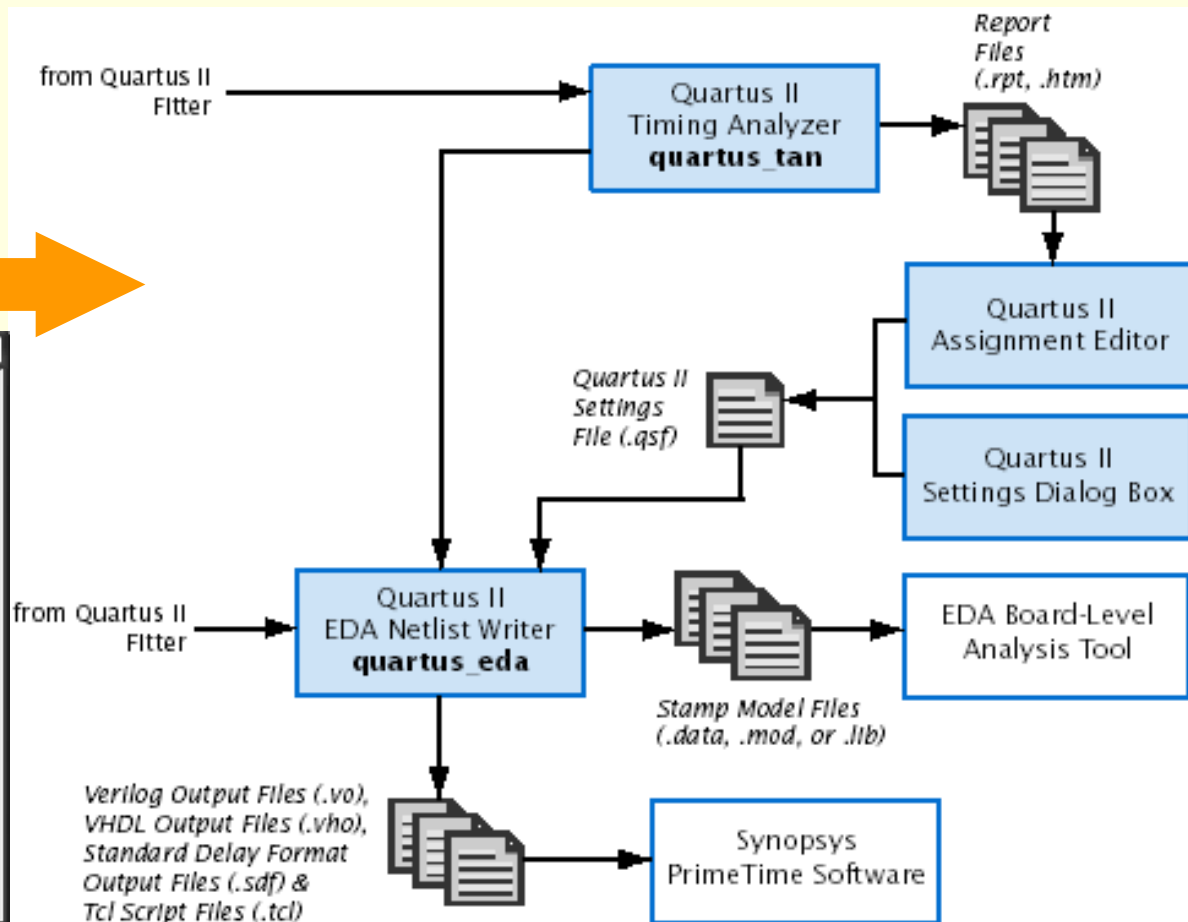
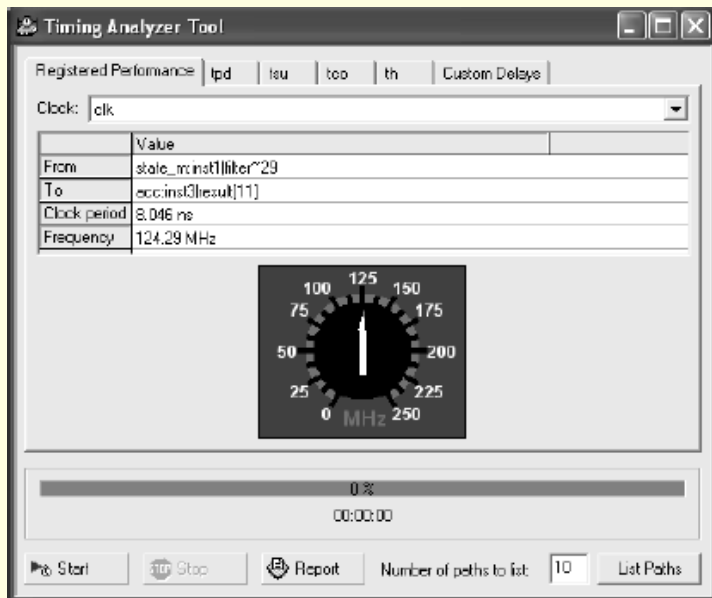
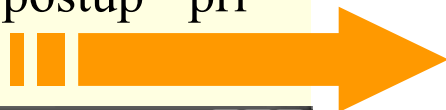




7.1 Quartus II- Časová analýza

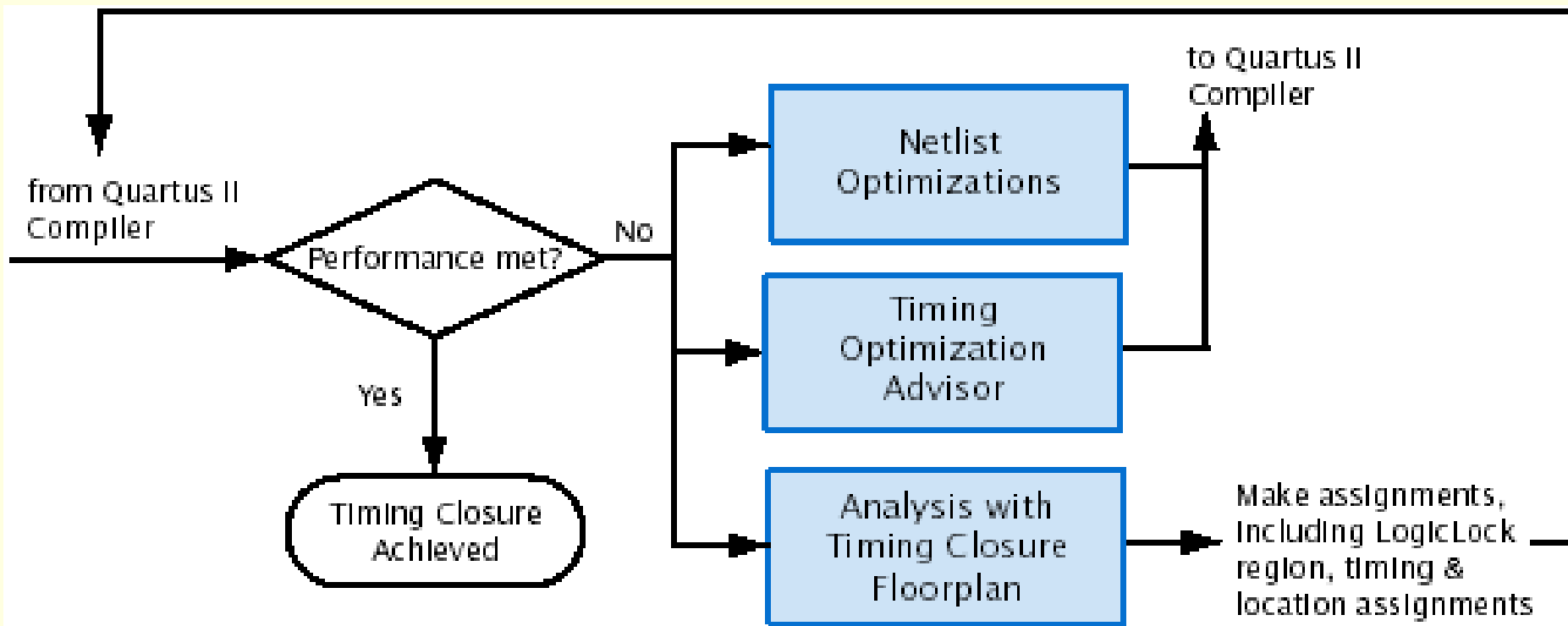
Quartus II Timing Analyzer umožňuje analyzovať charakteristiky realizovanej logiky a napomáha pri fyzickom usporiadaní návrhu (*fitting*) tak, aby návrh vyhovoval časovým požiadavkám. Štandardne sa Timing Analyzer spustí automaticky – je súčasťou kompilácie pričom analyzuje a zaznamenáva rôzne časové informácie, časové oneskorenia, maximálnu frekvenciu hodín a iné časové charakteristiky návrhu.

Obr. ukazuje postup pri časovej analýze




7.1 Quartus II- Časové požiadavky

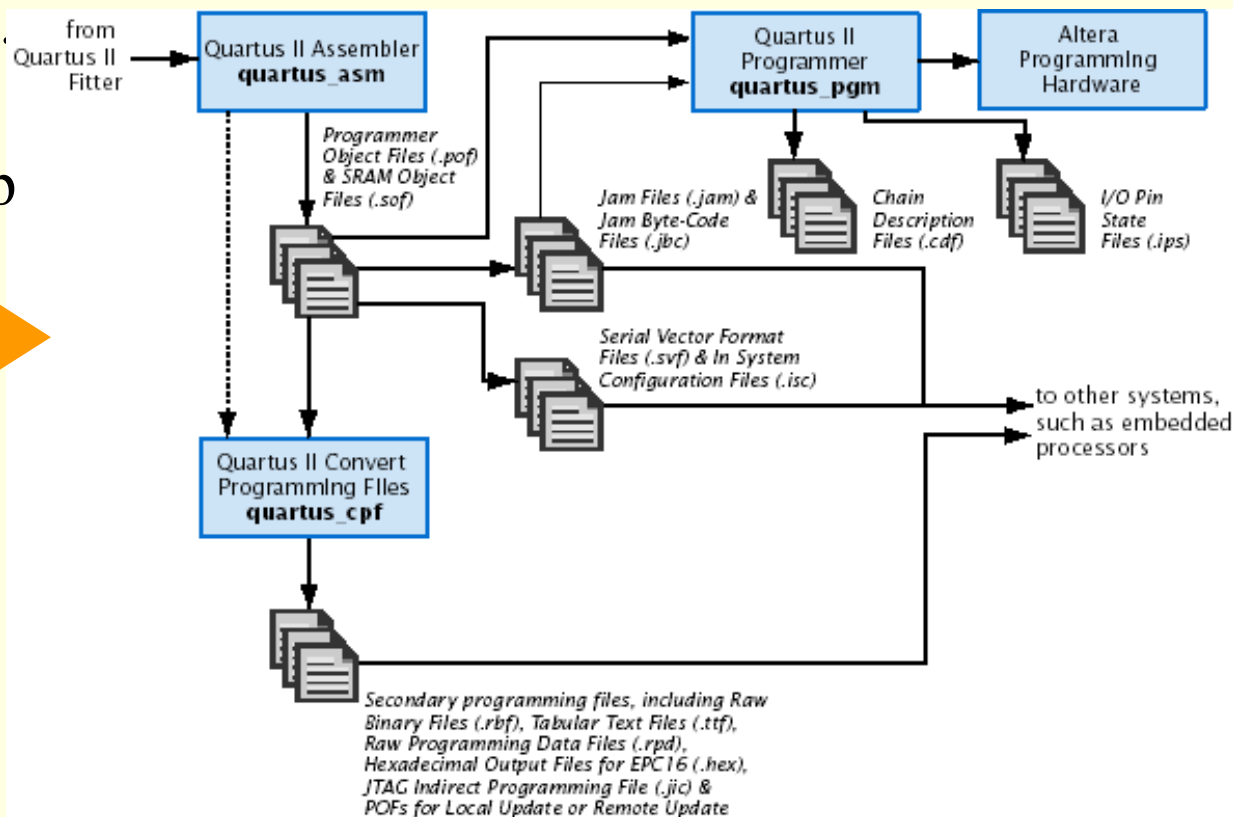
Quartus II Timing Closure realizuje prvotnú kompiláciu, zobrazí výsledky návrhu a následne uskutoční ďalší optimalizovaný návrh (riadením syntézy, umiestnenia a prepojovania návrhu), ktorý vyhovuje vyšpecifikovaným časovým požiadavkám. Výsledkom tohto procesu sú rýchlejšie realizácie zložitých návrhov a zníženie počtu optimalizačných iterácií.



7.1 Quartus II- Programovanie a konfigurácia

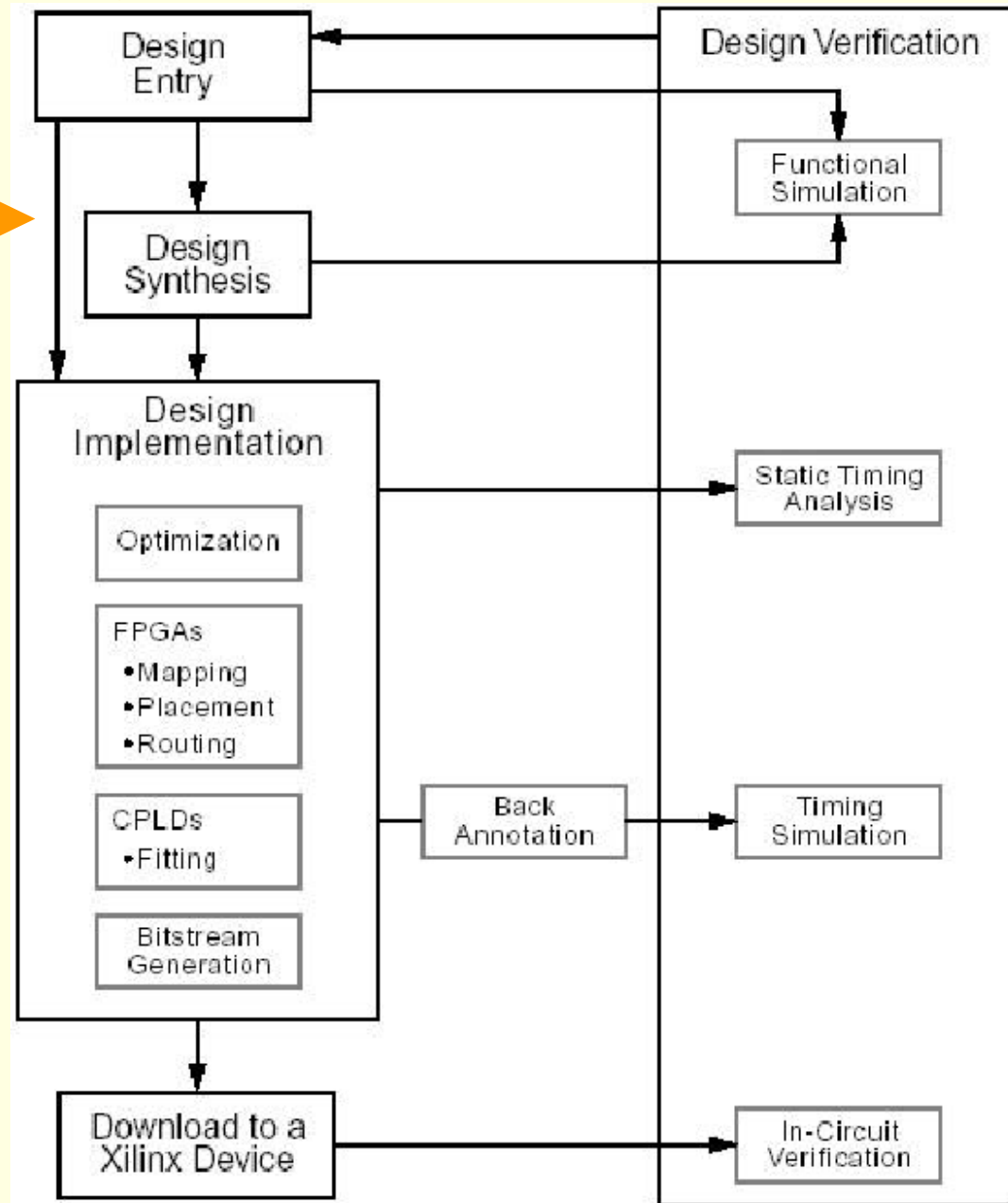
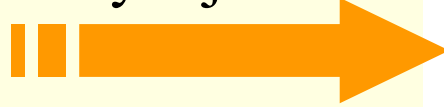
Po úspešnej kompilácii projektu je možné obvod Altera® programovať, alebo konfigurovať. Modul *Assembler* Quartus II kompilátora generuje súbory, potrebné na programovanie a Quartus II *Programmer* vie tieto súbory s programovateľným hardvérom od firmy Altera použiť na programovanie, alebo konfiguráciu obvodu.

Obr. ukazuje postup programovania súčiastky. 



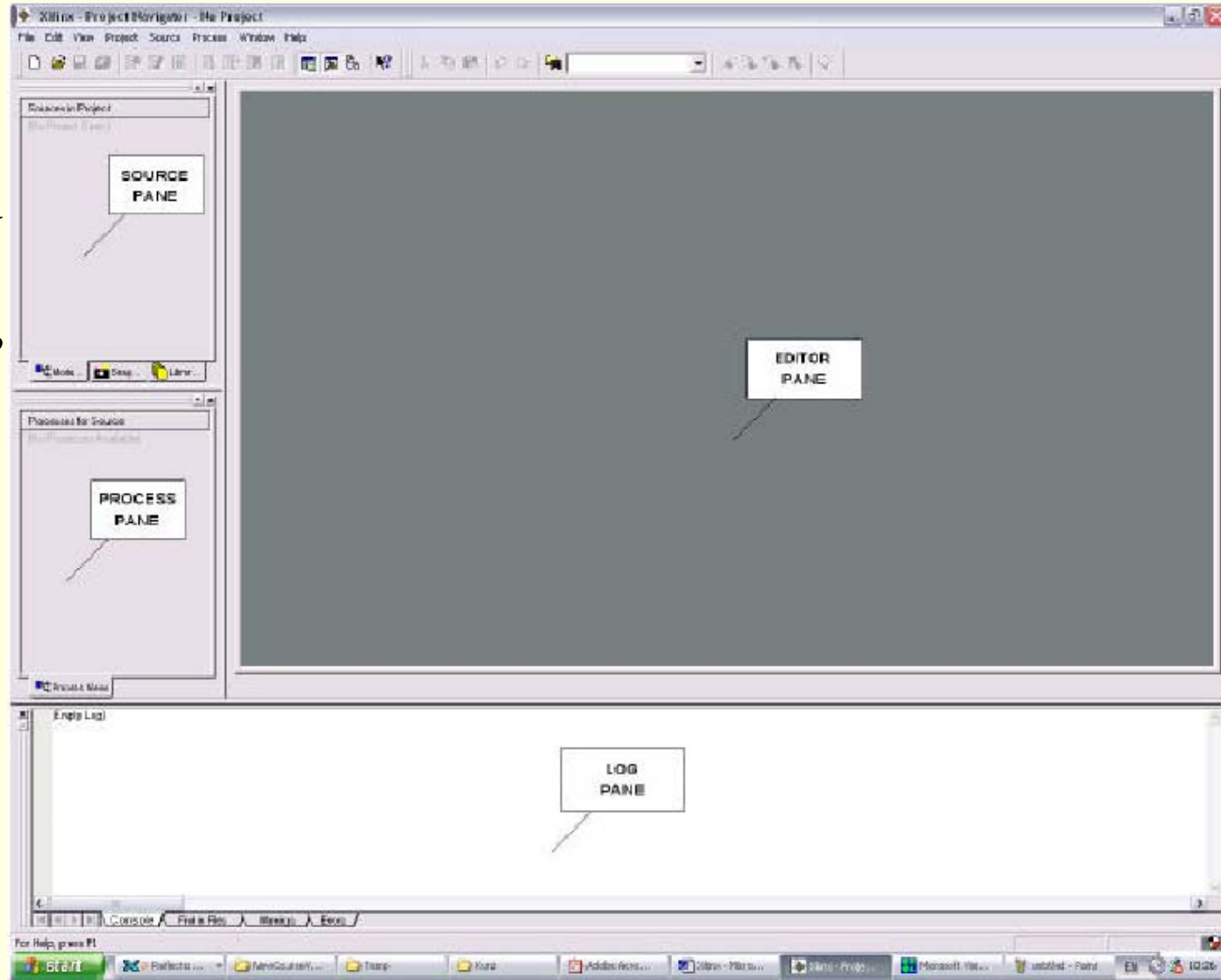
7.2 Xilinx- ISE WEB Pack

Postup pri návrhu s obvodymi Xilinx vo vývojovom prostredí ISE.



7.2 ISE WEB Pack- Project Navigator

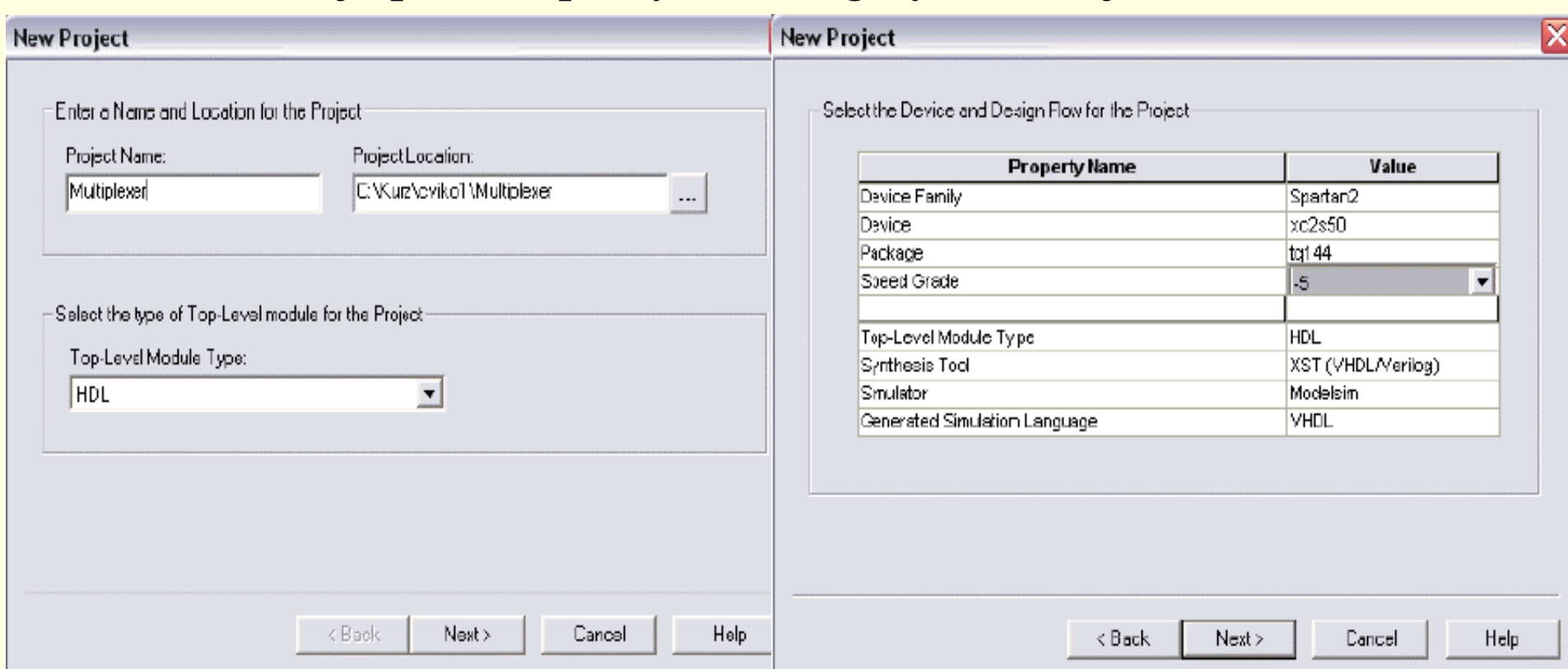
- Oblasť zdrojových súborov
- Oblasť procesov
- Oblasť záznamov
- Editovacia oblasť



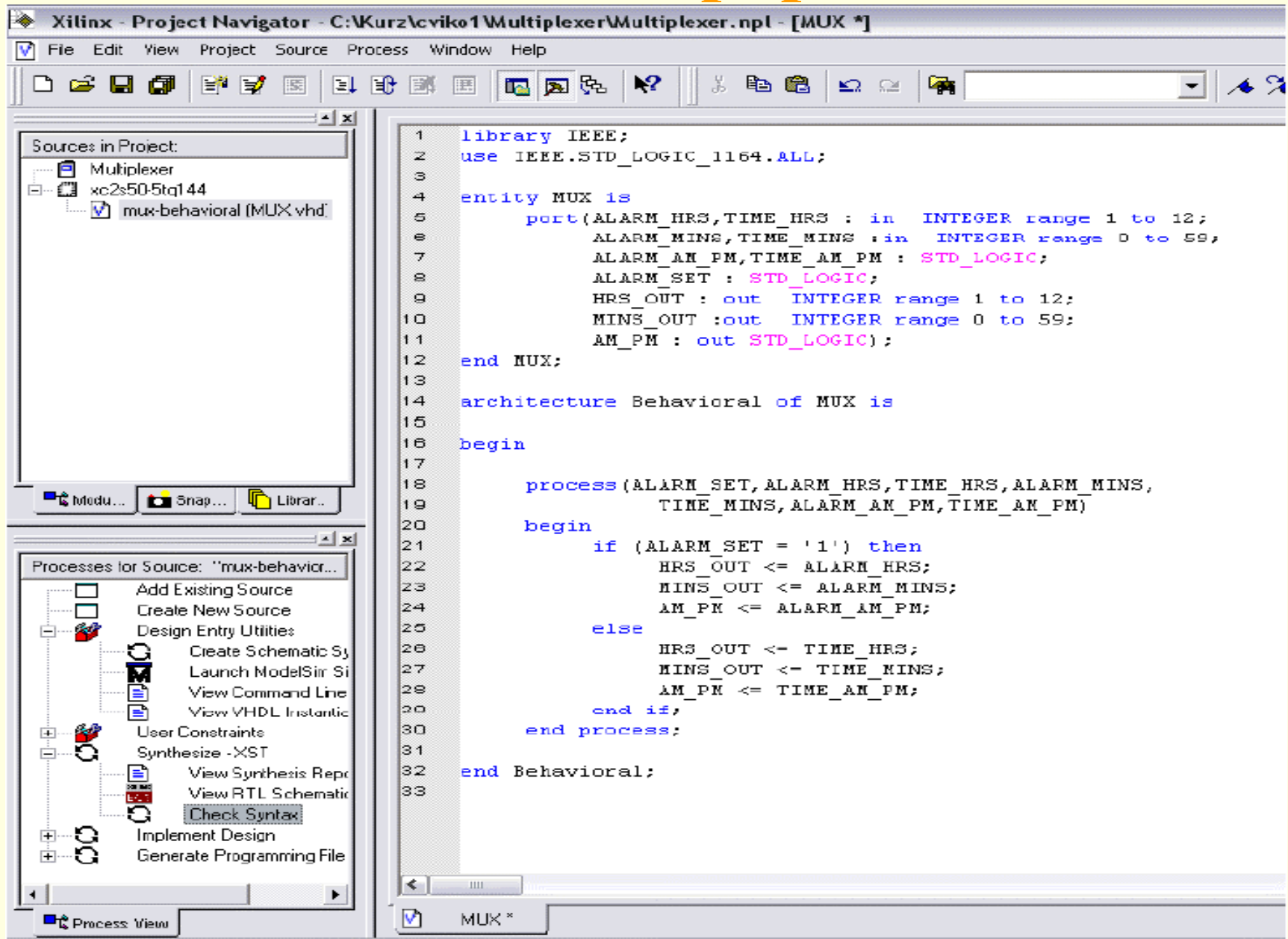
7.2 ISE WEB Pack- Vytvorenie projektu

V okne New Project definujeme:

- umiestnenie súborov nášho projektu,
- meno projektu,
- použitý obvod,
- nástroje použité pri syntéze logiky zo zdrojového súboru.



7.2 ISE WEB Pack- popis vo VHDL



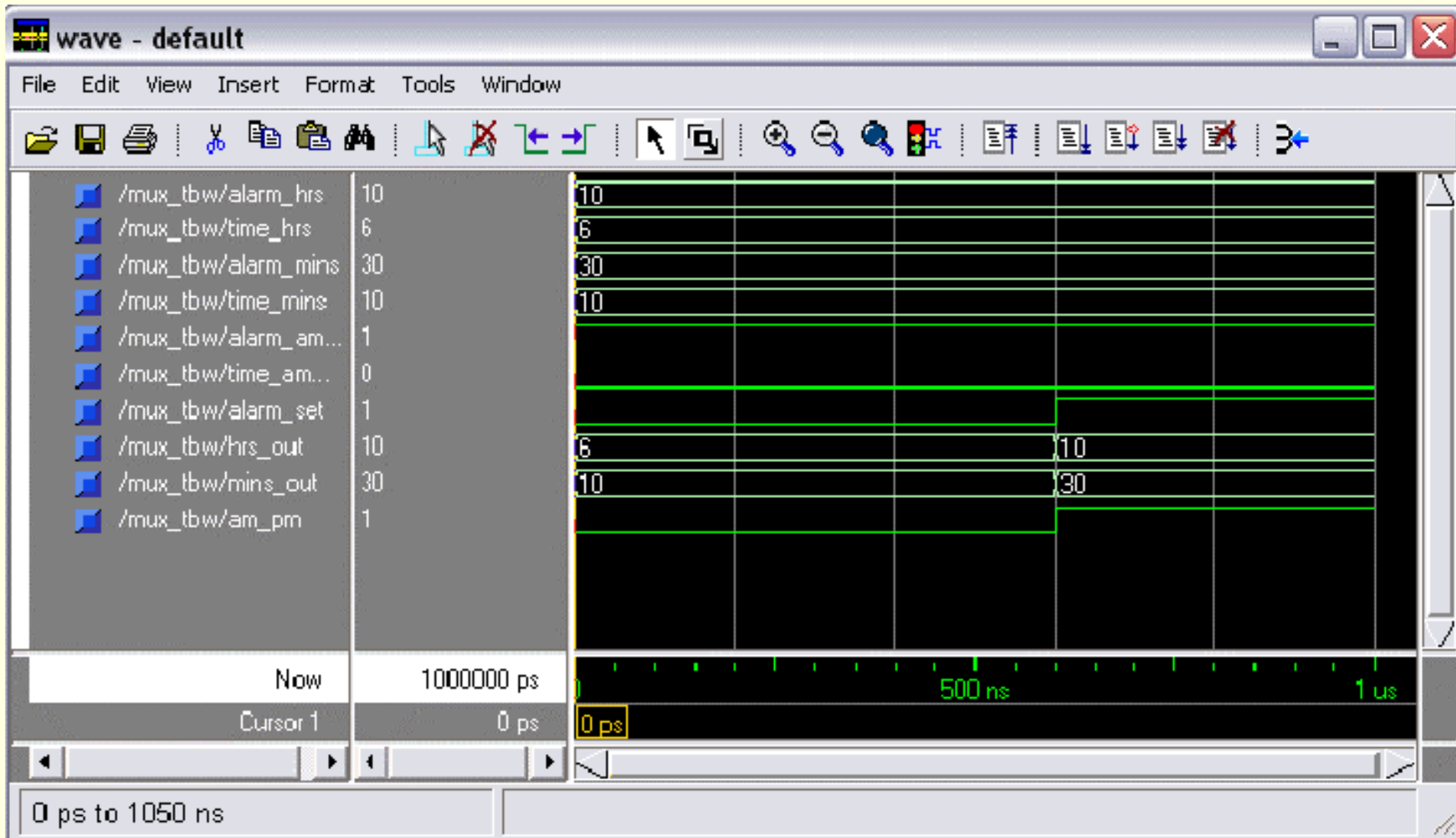
The screenshot displays the Xilinx ISE Project Navigator interface. The main window shows the VHDL code for a multiplexer entity named 'MUX'. The code is as follows:

```
1  library IEEE;
2  use IEEE.STD_LOGIC_1164.ALL;
3
4  entity MUX is
5      port(ALARM_HRS,TIME_HRS : in  INTEGER range 1 to 12;
6           ALARM_MINS,TIME_MINS : in  INTEGER range 0 to 59;
7           ALARM_AM_PM,TIME_AM_PM : STD_LOGIC;
8           ALARM_SET : STD_LOGIC;
9           HRS_OUT : out  INTEGER range 1 to 12;
10          MINS_OUT :out  INTEGER range 0 to 59;
11          AM_PM : out  STD_LOGIC);
12 end MUX;
13
14 architecture Behavioral of MUX is
15
16 begin
17
18     process (ALARM_SET,ALARM_HRS,TIME_HRS,ALARM_MINS,
19             TIME_MINS,ALARM_AM_PM,TIME_AM_PM)
20     begin
21         if (ALARM_SET = '1') then
22             HRS_OUT <= ALARM_HRS;
23             MINS_OUT <= ALARM_MINS;
24             AM_PM <= ALARM_AM_PM;
25         else
26             HRS_OUT <= TIME_HRS;
27             MINS_OUT <= TIME_MINS;
28             AM_PM <= TIME_AM_PM;
29         end if;
30     end process;
31
32 end Behavioral;
33
```

The interface also shows the 'Sources in Project' pane on the left, listing the project files: 'Multiplexer', 'xc2s50-5tq144', and 'mux-behavioral (MUX.vhd)'. The 'Processes for Source: "mux-behavioral"' pane at the bottom left lists various actions such as 'Add Existing Source', 'Create New Source', 'Design Entry Utilities', 'User Constraints', 'Synthesize -XST', 'Check Syntax', 'Implement Design', and 'Generate Programming File'. The 'Check Syntax' option is currently selected.

7.2 ISE WEB Pack- Funkčná simulácia

Funkčná simulácia- sa vykonáva pred syntézou, za účelom overenia logického návrhu.



7.2 ISE WEB Pack- Ďalšie fázy návrhu

Syntéza VHDL kódu

Implementácia logických obvodov do FPGA

- umiestnenie a prepojovanie (translate, map a place & route)

Kontrola implementácie

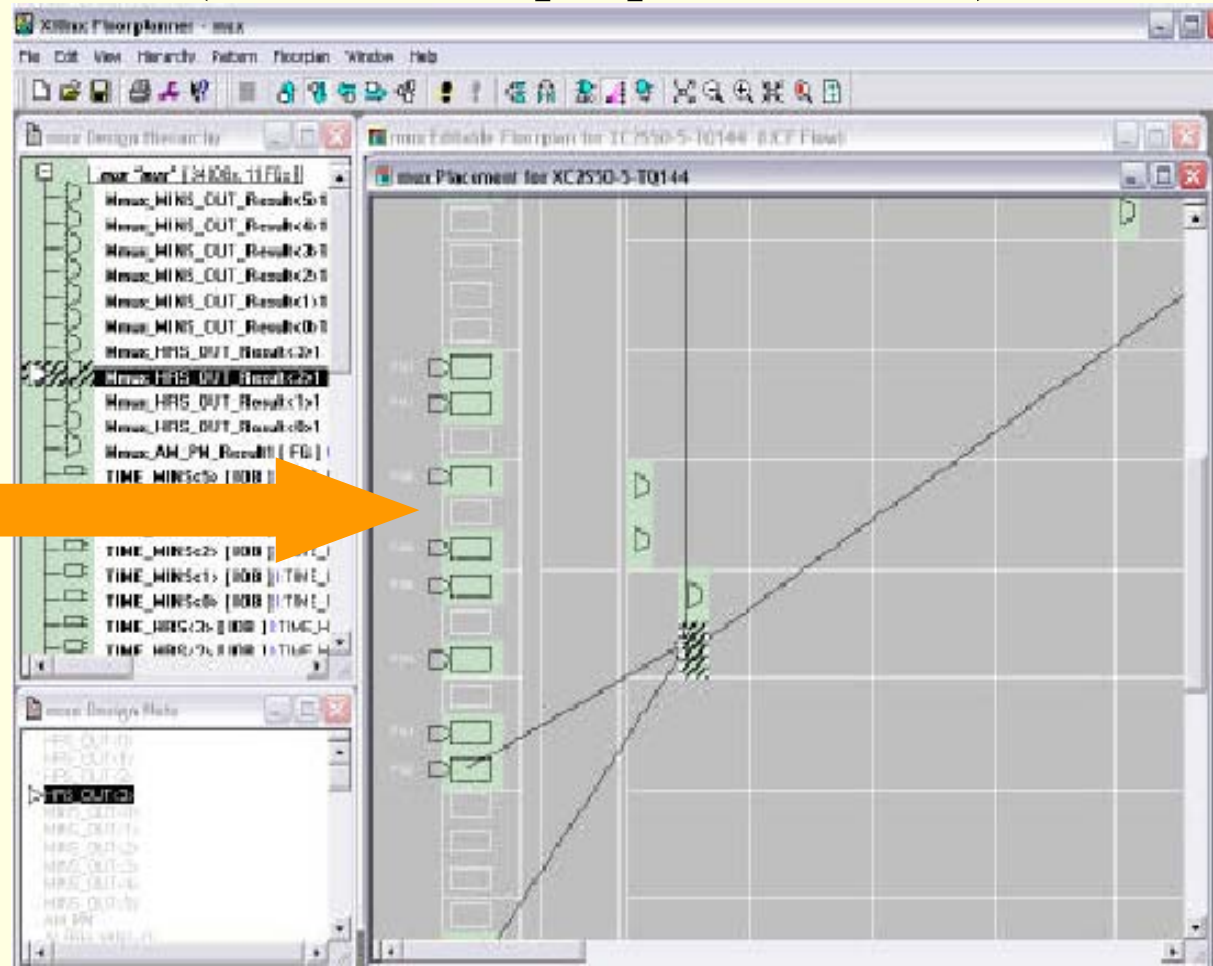
Priradenie pinov

Zobrazenie čipu

- Floor Planner

Časová simulácia

- VHDL Test Bench



7.2 ISE WEB Pack- Konfigurácia

The screenshot displays the iMPACT software interface in Configuration Mode. The main window title is "untitled [Configuration Mode] - iMPACT". The menu bar includes File, Edit, View, Mode, Operations, Output, and Help. The toolbar contains various icons for file operations and device management. The main workspace shows a diagram of a device labeled "xc2s5 mux.b" with TDI and TDO connections. A context menu is open over the device, listing options: Program..., Verify, Get Device ID, Get Device Signature/Usercode, IDCODE Looping..., and Assign New Configuration File....

An "Operation Mode Selection" dialog box is overlaid on the right side of the main window. It asks "What do you want to do first?" and provides three radio button options: "Configure Devices" (selected), "Prepare Configuration Files", and "Load Configuration File (.cdf, .pd)". The dialog has buttons for "< Back", "Next >", "Cancel", and "Help".

At the bottom of the iMPACT window, there is a status bar with the text "For Help, press F1" and three tabs: "Configuration Mode", "Boundary-Scan", and "No C".