

MIKROELEKTRONICKÉ SYSTÉMY TESLA

Řada 8051

**ARCHITEKTURA
A TECHNICKÉ VLASTNOSTI
JEDNOČIPOVÝCH MIKROŘADIČŮ 8051**



TESLA ELTOS, oborový podnik, Institut mikroelektronických aplikací

© created by Pun1

Mikroelektronické systémy TESLA

Řada 8051

**ARCHITEKTURA
A TECHNICKÉ VLASTNOSTI
JEDNOČIPOVÝCH MIKROŘADIČŮ 8051**

**TESLA ELTOS, oborový podnik
Institut mikroelektronických aplikací
Praha 1987**

Publikace je součástí edice mikroelektronických systémů TESLA, řada 8051. Tato edice poskytuje uživatelům mikroelektronických systémů informace o technickém a programovém vybavení a použití zařízení s jednočipovými mikrořadiči 8051.

Kniha obsahuje podrobný popis architektury a technických vlastností mikrořadičů 8051 a je určena pracovníkům, kteří budou navrhovat systémy s obvody této řady.

OBSAH

PŘEDMLUVA	13
1. ÚVOD	15
2. POPIS VNITŘNÍ STRUKTURY OBVODŮ	24
2.1 Organizace paměti	24
2.2 Registry speciálních funkcí	26
2.3 Oscilátor a obvod hodin	29
2.4 Časování centrální procesorové jednotky (CPU)	30
2.5 Struktura a činnost portů	32
2.5.1 Uspořádání vstupů/výstupů	33
2.5.2 Zápis do portu	37
2.5.3 Zatížení portů	40
2.5.4 Instrukce typu "čtení - modifikace - zápis"	41
2.6 Styk s vnější pamětí	42
2.6.1 Signál \overline{PSEN}	43
2.6.2 Signál ALE	44
2.6.3 Překrývání prostoru vnější paměti programu a dat	44
2.7 Časovače/čítače	46
2.7.1 Časovač 0 a časovač 1	46
2.7.1.1 Režim 0	48
2.7.1.2 Režim 1	51
2.7.1.3 Režim 2	51
2.7.1.4 Režim 3	52
2.7.2 Časovač 2	53
2.8 Sériové rozhraní	57
2.8.1 Víceprocesorová komunikace	59
2.8.2 Řídící registr sériového portu	60

2.8.3	Přenosové rychlosti	62
2.8.3.1	Použití časovače 1 pro generování přenosové rychlosti	62
2.8.3.2	Použití časovače 2 pro generování přenosové rychlosti	63
2.8.4	Popis režimu 0	66
2.8.5	Popis režimu 1	70
2.8.6	Popis režimu 2 a 3	74
2.9	Přerušeni	80
2.9.1	Struktura úrovní priority přerušeni	82
2.9.2	Obsluha přerušeni	85
2.9.3	Vnější přerušeni	88
2.9.4	Čas odezvy na žádost o přerušeni	89
2.10	Činnost v krokovém režimu	90
2.11	Nulování - RESET	91
2.12	Činnost v režimu se sníženým příkonem	94
2.12.1	Verze HMOS - režim s vypnutým napájením	94
2.12.2	Verze CHMOS - režim se sníženým příkonem	94
2.12.2.1	Režim čekání	95
2.12.2.2	Režim se sníženým napájením	97
2.13	Obvod 8751H	98
2.13.1	Programování vnitřní paměti EPROM	98
2.13.2	Ověřování programu	100
2.13.3	Zabezpečení paměti programu	100
2.13.4	Mazací charakteristiky	101

2.14	Popis oscilátoru na čipu	102
2.14.1	Verze HMOS	102
2.14.2	Verze CHMOS	103
3.	ORGANIZACE PAMĚTI, ZPŮSOBY ADRESOVÁNÍ	
	A BOOLEOVSKÝ PROCESOR	106
3.1	Úvod	106
3.2	Organizace paměti	106
3.2.1	Adresový prostor paměti programu	106
3.2.2	Adresový prostor paměti dat	108
3.3	Způsoby adresování	112
3.3.1	Adresování s registrem	113
3.3.2	Adresování přímé	113
3.3.3	Adresování nepřímé s registrem	113
3.3.4	Adresování s přímým operandem	114
3.3.5	Adresování nepřímé s bazovým registrem a s indexovým registrem	114
3.4	Booleovský procesor	114
4.	ROZŠÍŘOVÁNÍ SYSTÉMU	115
4.1	Příklady rozšíření systému	117
4.1.1	Připojení expanderu 8243	117
4.1.2	Připojení vnější paměti programu 2716	119
4.1.3	Připojení vnější paměti programu 2732A	119
4.1.4	Připojení vnější paměti dat a expanderu V/V	119
4.2	Poloduplexní sériový přenos dat	123
4.3	Přerušeni z více zdrojů	123
5.	VÝVOJOVÉ PROSTŘEDKY PRO NÁVRH SYSTÉMŮ	
	S OBVODY 8051	126
5.1	Programové vývojové prostředky	126

5.1.1	Makroassembler ASM51	126
5.1.2	Převodní program CONV51	127
5.2	Technické vývojové prostředky	128
5.2.1	Stavebnice SDK - 51	128
5.2.2	Emulační přípravek EM - 51	129
5.2.3	Emulátor EMV - 51	129
5.2.4	Emulátor ICE - 51	130
6. TECHNICKÉ CHARAKTERISTIKY OBVODŮ		
	8051 A 8052	131
6.1	Obvody 8031AH a 8051AH	131
6.1.1	Mezní hodnoty	131
6.1.2	Charakteristické hodnoty	131
6.2	Obvody 8032AH a 8052AH	142
6.2.1	Mezní hodnoty	142
6.2.2	Charakteristické hodnoty	142
6.3	Obvod 8751H	151
6.3.1	Mezní hodnoty	151
6.3.2	Charakteristické hodnoty	151
6.3.3	Charakteristické hodnoty pro vnitřní paměť EPROM	160
LITERATURA		163

SEZNAM OBRÁZKŮ

Obr. 1	Přehledné blokové schéma mikrořadičů 8051 a 8052	16
Obr. 2	Vnitřní architektura mikrořadičů 8051 a 8052	17
Obr. 3	Rozmístění špiček a symbolické znázornění mikrořadičů 8051 a 8052	18

Obr. 4	Registr stavového slova programu	27
Obr. 5	Krystalový/keramický rezonátor oscilátoru	29
Obr. 6	Výběrové a prováděcí sekvence instrukcí obvodů 8051 a 8052	
	a) jednobytová jednocyklová instrukce	31
	b) dvoubytová jednocyklová instrukce	31
	c) jednobytová dvoucyclová instrukce	31
	d) instrukce MOVX	31
Obr. 7	Struktura bitu portů P0 až P3	
	a) bit portu 0	34
	b) bit portu 1	34
	c) bit portu 2	35
	d) bit portu 3	35
Obr. 8	Zjednodušená struktura bitu portů	
	a) bit obousměrného portu	38
	b) bit kvaziobousměrného portu	38
Obr. 9	Posilovací obvod portů 1, 2 a 3 - technologie HMOS	39
Obr. 10	Posilovací obvod portů 1, 2 a 3 - technologie CMOS	39
Obr. 11	Obsluha vnější paměti programu	
	a) s výjimkou instrukce MOVX	45
	b) včetně instrukce MOVX	45
Obr. 12	Řídicí registr režimu časovače/čítače - TMOD	47
Obr. 13	Časovač/čítač 1, režim 0: třináctibitový čítač	48
Obr. 14	Řídicí registr časovače/čítače - TCON	49
Obr. 15	Časovač/čítač 1, režim 2: osmibitový samoplňící čítač	51
Obr. 16	Časovač/čítač 0, režim 3: dva osmibitové čítače	52

Obr. 17	Řídící registr časovače/čítače 2 - T2CON	53
Obr. 18	Záchytný pracovní režim časovače 2	56
Obr. 19	Samoplnící pracovní režim časovače 2	57
Obr. 20	Řídící registr sériového portu - SCON	60
Obr. 21	Časovač 2 jako generátor přenosové rychlosti ..	65
Obr. 22	Sériový port v režimu 0	
	a) funkční diagram	67
	b) časový diagram	68
Obr. 23	Sériový port v režimu 1	
	a) funkční diagram	71
	b) časový diagram	72
Obr. 24	Sériový port v režimu 2	
	a) funkční diagram	75
	b) časový diagram	76
Obr. 25	Sériový port v režimu 3	
	a) funkční diagram	77
	b) časový diagram	78
Obr. 26	Zdroje přerušení u obvodů 8051 a 8052	81
Obr. 27	Registr povolení přerušení - IE	83
Obr. 28	Registr priority přerušení - IP	84
Obr. 29	Přerušovací systém mikrořadičů 8051 a 8052	86
Obr. 30	Časový diagram odezvy na přerušení	87
Obr. 31	Funkce nulování při zapnutí napájení	93
Obr. 32	Vnitřní obvody pro režim čekání a režim se sníženým napájením	95
Obr. 33	Řídící registr napájení - PCON	96
Obr. 34	Programování obvodu 8751H	99
Obr. 35	Ověřování programu u obvodů 8751H a 8051AH	99

Obr. 36	Programování zabezpečovacího bitu u obvodu 8751H	101
Obr. 37	Obvod oscilátoru na čipu ve verzi HMOS obvodů 8051 a 8052	102
Obr. 38	Použití oscilátoru HMOS na čipu	103
Obr. 39	Vnější zdroj hodin pro verzi HMOS obvodů 8051 a 8052	104
Obr. 40	Obvod oscilátoru na čipu ve verzi CHMOS obvodů 8051	104
Obr. 41	Použití oscilátoru CHMOS na čipu	105
Obr. 42	Vnější zdroj hodin pro verzi CHMOS obvodů 8051	105
Obr. 43	Struktura paměťových prostorů a) u obvodů 8051	107
	b) u obvodů 8052	107
Obr. 44	Struktura paměťového prostoru vnitřní paměti dat	109
Obr. 45	Adresy bitů ve vnitřní paměti dat	110
Obr. 46	Adresy bitů v registrech speciálních funkcí ve vnitřní paměti dat	111
Obr. 47	Rozšíření V/V obvodem 8243	118
Obr. 48	Připojení vnější paměti programu 2716 k mikrořadiči 8031AH	120
Obr. 49	Připojení vnější paměti programu 2732A k mikrořadiči 8031AH	121
Obr. 50	Připojení vnější paměti dat a expanderu V/V	122
Obr. 51	Propojení mikrořadičů 8051 pro poloduplexní sériový přenos dat	124
Obr. 52	Systém s více zdroji přerušení	125
Obr. 53	Blokové schéma stavěnice SDK - 51	128

Obr. 54	Hodinové impulsy pro obvody 8031AH/8051AH	134
Obr. 55	Čtecí cyklus z vnější paměti programu	137
Obr. 56	Vnější paměť dat a) čtecí cyklus	139
	b) zápisový cyklus	139
Obr. 57	Podmínky měření dynamických parametrů a) pro V/V	140
	b) pro třetí stav	140
Obr. 58	Časový diagram obvodů 8031AH/8051AH	141
Obr. 59	Hodinové impulsy pro obvody 8032AH/8052AH	145
Obr. 60	Čtecí cyklus z vnější paměti programu	147
Obr. 61	Vnější paměť dat a) čtecí cyklus	148
	b) zápisový cyklus	148
Obr. 62	Podmínky měření dynamických parametrů a) pro V/V	150
	b) pro třetí stav	150
Obr. 63	Hodinové impulsy pro obvod 8751H	154
Obr. 64	Čtecí cyklus z vnější paměti programu	157
Obr. 65	Vnější paměť dat a) čtecí cyklus	159
	b) zápisový cyklus	159
Obr. 66	Podmínky měření dynamických parametrů a) pro V/V	160
	b) pro třetí stav	160
Obr. 67	Časové průběhy při programování paměti EPROM, při programování zabezpečovacího bitu a při ověřování obsahu vnitřní paměti EPROM v obvodu 8751H	162

SEZNAM TABULEK

Tab. 1	Soubor mikrořadičů MCS - 51	15
Tab. 2	Popis špiček jednočipových mikrořadičů 8051 a 8052	19
Tab. 3	Přehled registrů speciálních funkcí	24
Tab. 4	Významy bitů stavového slova programu	27
Tab. 5	Alternativní funkce špiček portů	32
Tab. 6	Významy bitů registru TMOD	47
Tab. 7	Významy bitů registru TCON	49
Tab. 8	Významy bitů registru T2CON	53
Tab. 9	Pracovní režimy časovače 2	55
Tab. 10	Významy bitů registru SCON	60
Tab. 11	Obecně užívané přenosové rychlosti generované časovačem 1	64
Tab. 12	Významy bitů registru IE	83
Tab. 13	Významy bitů registru IP	84
Tab. 14	Nastavení obsahu registrů po funkci RESET	92
Tab. 15	Významy bitů registru PCON	96
Tab. 16	Adresy počátku obsluhy přerušeni	108
Tab. 17	Metody adresování a přiřazené paměťové oblasti	112
Tab. 18	Obvody pro rozšíření mikrořadičů 8051 a 8052	115
Tab. 19	Statické parametry obvodů 8031AH/8051AH	132
Tab. 20	Zhoršené linky V/V	133
Tab. 21	Charakteristiky vnějších hodin	134
Tab. 22	Dynamické parametry pro vnější paměť programu	135

Tab. 23	Dynamické parametry pro vnější paměť dat	137
Tab. 24	Statické parametry obvodů 8032AH/8052AH	142
Tab. 25	Zhoršené linky V/V	144
Tab. 26	Charakteristiky vnějších hodin	145
Tab. 27	Dynamické parametry pro vnější paměť programu	146
Tab. 28	Dynamické parametry pro vnější paměť dat	149
Tab. 29	Statické parametry obvodu 8751H	152
Tab. 30	Zhoršené linky V/V	154
Tab. 31	Charakteristiky vnějších hodin	154
Tab. 32	Dynamické parametry pro vnější paměť programu	155
Tab. 33	Dynamické parametry pro vnější paměť dat	157
Tab. 34	Dynamické parametry vnitřní paměti EPROM v obvodu 8751H	160

PŘEDMLUVA

Tato příručka popisuje architekturu a technické vlastnosti jednočipových mikrořadičů souhrnně označovaných jako řada 8051. Obvody této řady navazují na v ČSSR již úspěšně vyráběné jednočipové mikrořadiče řady 8048 a v podstatě představují významné rozšíření jejich technických i programových možností.

Řada obvodů 8051 obsahuje typy 8051AH, 8031AH, 8751H, 80C51, 80C31, 8052 a 8032. V ČSSR se vyvíjejí pouze typy 8051AH, 8031AH a 8751H, přesto však příručka obsahuje popis všech typů. Je to ze dvou hlavních důvodů:

- čtenář získá komplexní pohled na celou řadu obvodů 8051;
- je možné, že v budoucnu si potřeby našeho národního hospodářství vynutí vývoj jak CMOS verze těchto obvodů, tak i verzí s větší integrovanou pamětí programu a dat.

Při psaní příručky jsme převážně vycházeli z anglických pramenů, a proto se vyskytly některé problémy s terminologií. Naše ČSN 36 9001 (Názvosloví číslicových a analogových počítačů) platná od 1. 1. 1975 je zcela zastaralá a vůbec neobsahuje pojmy z oblasti mikroprocesorů a mikropočítačů. Byli jsme proto nuceni v některých případech použít výrazy dle vlastního uvážení. Pro snazší orientaci čtenáře v textu příručky nyní uvádíme několik termínů, které by mohly působit nejasnosti. U každého termínu je uveden anglický výraz, náš překlad užívaný v příručce a případně v závorce překlad užitý některými jinými autory v české technické literatuře.

capture register - záchytný registr;

latch - záchytný klopný obvod (zdrž, střadač, klopný obvod)

buffer - vyrovnávací paměť (bafr);

port - port (brána, kanál, obvod V/V);

interface - rozhraní (interfejs);

idle mode - režim čekání (režim nečinnosti);

pull - up resistor - posilovací rezistor;

enhancement mode FET - FET v nasyceném režimu;
depletion mode FET - FET v ochuzeném režimu.

Závěrem vyjadřujeme naději, že tato příručka bude dobrým odrazovým můstkem pro všechny, kteří se chtějí seznámit s technickými vlastnostmi obvodů řady 8051 a že vývojovým pracovníkům usnadní návrhy vlastních mikropočítačových systémů s obvodů této řady.

Autoři

1. ÚVOD

Soubor osmibitových mikrořadičů MCS - 51 tvoří obvody uvedené v tabulce 1. Přehledné blokové schéma obvodů této řady je na obr. 1, podrobnější architektura je na obr. 2.

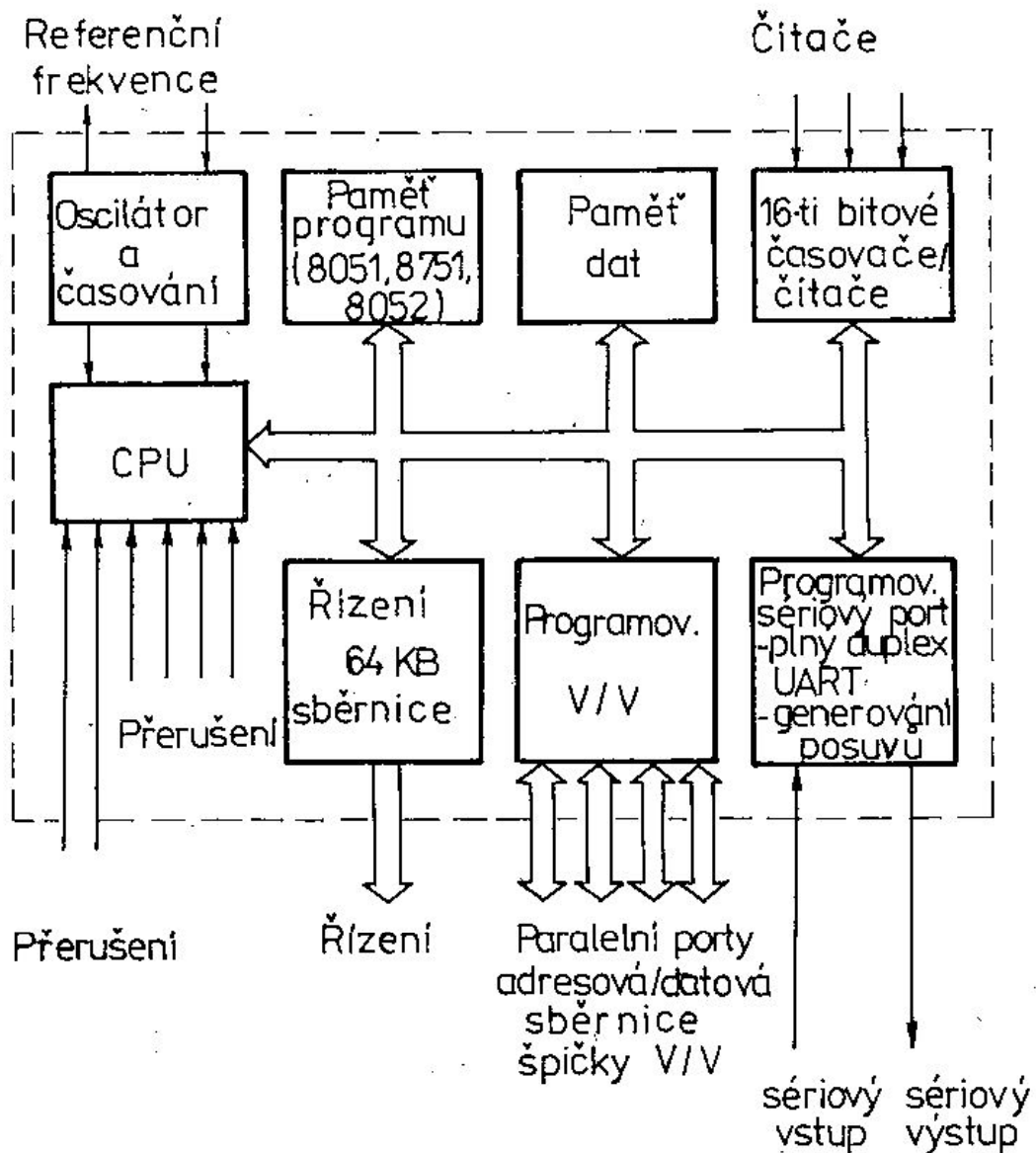
Soubor mikrořadičů MCS - 51

Tabulka 1

Obvod	Výrobní technologie	Paměť programu na čipu	Paměť dat na čipu
8031AH	HMOS II	nemá	128 B
8051AH	HMOS II	4 KB - ROM	128 B
8751H	HMOS I	4 KB - EPROM	128 B
80C31	CMOS	nemá	128 B
80C51	CMOS	4 KB - ROM	128 B
8032AH	HMOS II	nemá	256 B
8052AH	HMOS II	8 KB - ROM	256 B

Původní obvod 8051 byl vyroben technologií HMOS I. V současné době se tento obvod vyrábí technologií HMOS II a označuje se 8051AH. Termín "8051" se často užívá jako souhrnné označení všech obvodů řady MCS - 51. V této příručce se termínu 8051 používá pouze pro označení obvodů, jejichž výroba se připravuje v ČSSR, tj. 8051, 8031 a 8751. Podobně jsou souhrnným názvem 8052 označeny obvody 8052 a 8032, není-li výslovně uvedeno jinak.

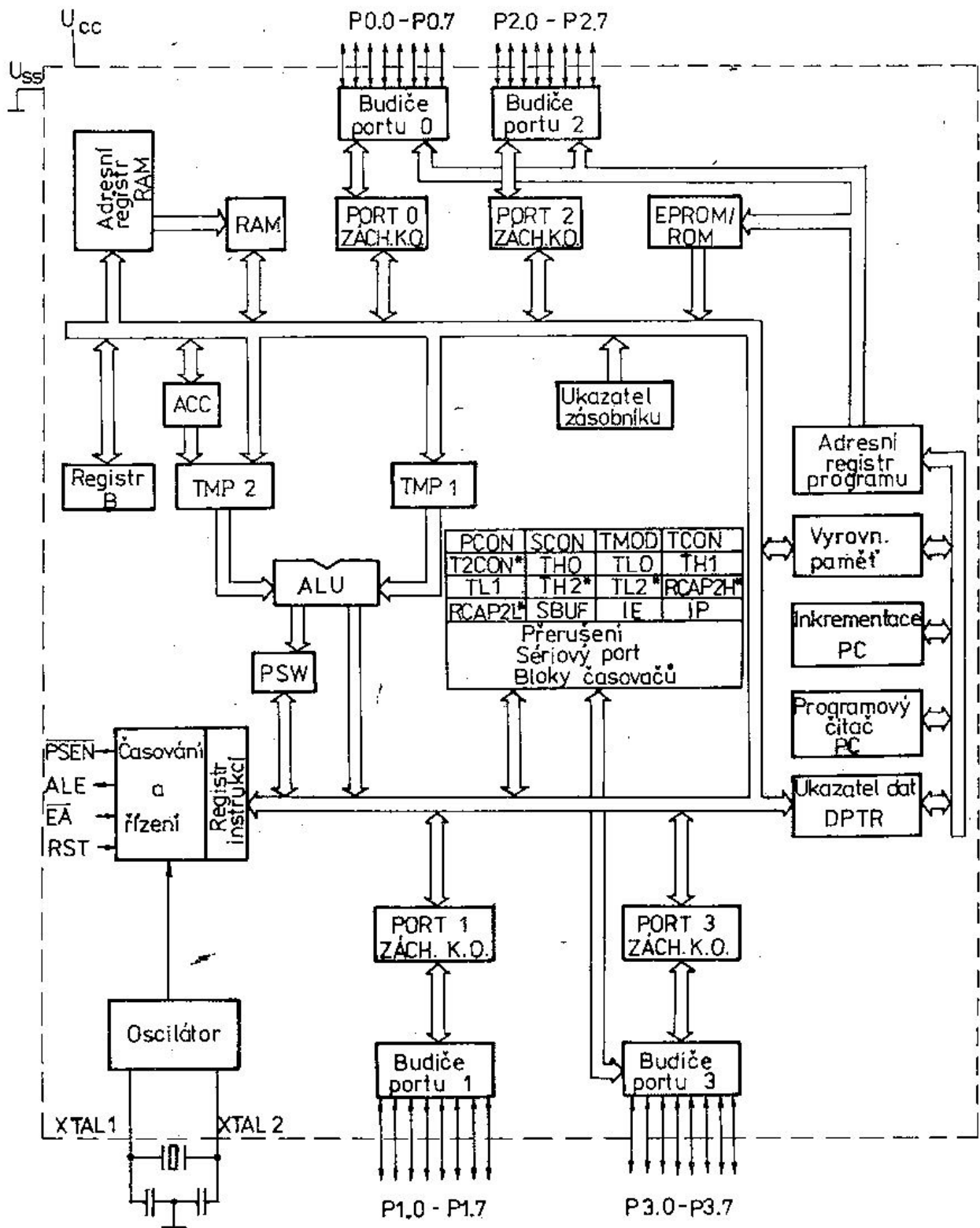
Obvody 8052 mají na čipu integrovanou větší paměť programu a dat a další šestnáctibitový časovač/čítač. Nový časovač lze použít obvyklým způsobem jako časovač nebo čítač vnějších událostí a nebo jako generátor hodin pro sériový port. Časovač nebo čítač pracuje buď jako šestnáctibitový v režimu, kdy se plní sám, nebo jako šestnáctibitový v tzv. "záchytném režimu". Bližší je jeho činnost popsána v článku 2.7.2.



Obr. 1. Přehledné blokové schéma mikrořadičů 8051 a 8052

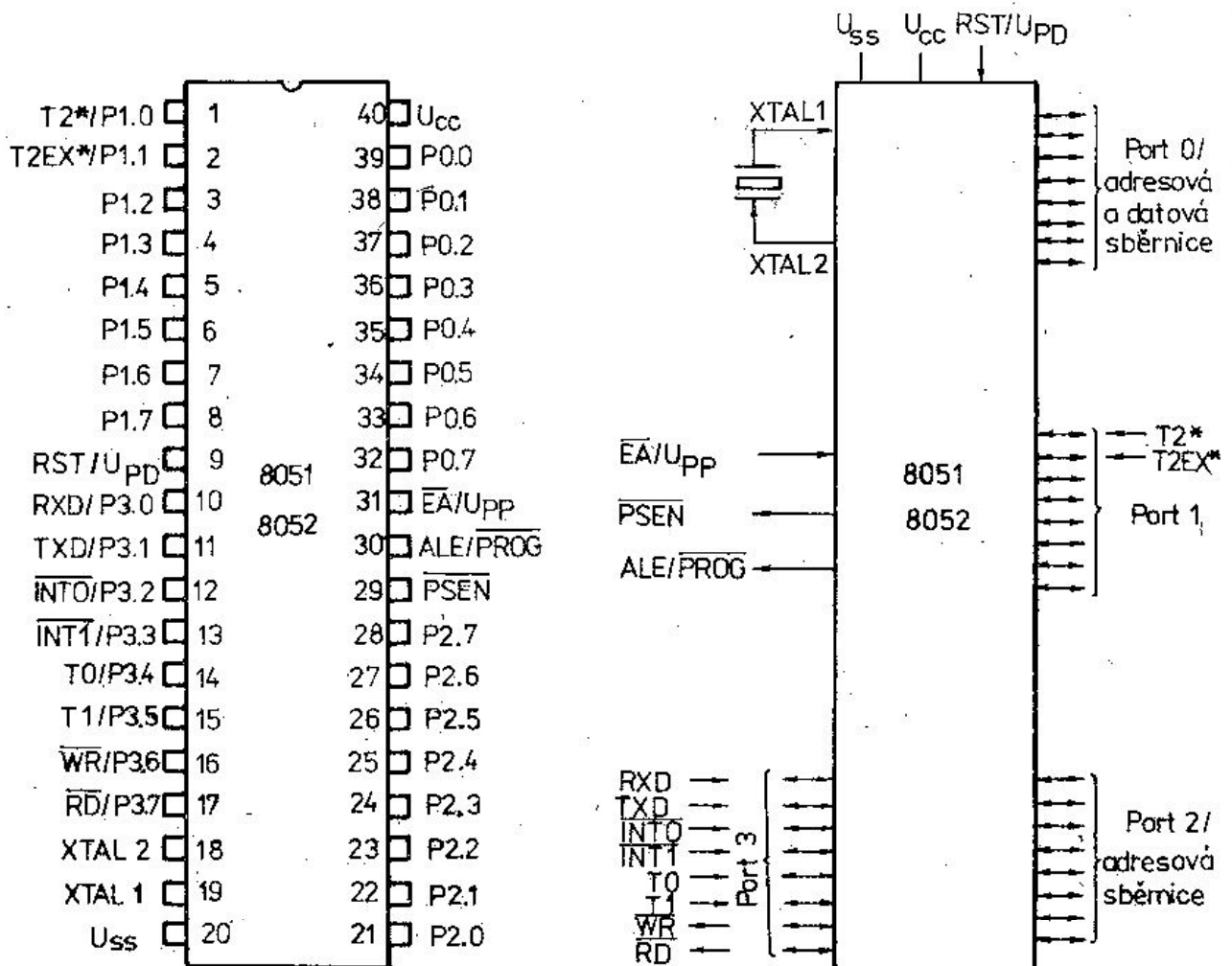
Rozmístění špiček a symbolické znázornění jednočipových mikrořadičů 8051 a 8052 je na obr. 3.

Významy jednotlivých špiček jsou přehledně uspořádány v tabulce 2.



* jen u obvodů 8052

Obr. 2. Vnitřní architektura mikrořadičů 8051 a 8052



* JEN U 8052

Obr. 3. Rozmístění špiček a symbolické znázornění mikrořadičů 8051 a 8052

Popis špiček jednočipových mikrořadičů

8051 a 8052

Tabulka 2

Číslo špičky	Název signálu	Alternat. funkce	Význam
1 2 3 4 5 6 7 8	P1.0 P1.1 P1.2 P1.3 P1.4 P1.5 P1.6 P1.7	T2* T2EX*	<p>Port 1.</p> <p>Port 1 je osmibitový obousměrný V/V port s vnitřním posílením. K výstupním vyrovnávacím pamětem portu 1 lze připojit čtyři zátěže TTL-LS. Špičky portu 1, do kterých je zapsána logická hodnota 1, mají tuto hodnotu posílenou vnitřními obvody a mohou se v tomto stavu použít jako vstupy. Takto posílené vstupy jsou v případě připojení logické hodnoty 0 z vnějších obvodů zdrojem proudu.</p> <p>Hvězdičkou označené alternativní funkce špiček P1.0 a P1.1 jsou pouze u obvodů 8052. Jejich význam je uveden v tabulce 5.</p>
9	RST	U _{PD}	<p>Vstup pro nulování a nebo napájení v režimu se sníženým příkonem. Při nulování musí být na této špičce logická hodnota 1 po dobu nejméně dvou strojových cyklů v době, kdy již běží oscilátor.</p>
10 11 12 13 14 15	P3.0 P3.1 P3.2 P3.3 P3.4 P3.5	RXD TXD <u>INT0</u> INT1 T0 T1	<p>Port 3.</p> <p>Port 3 je osmibitový obousměrný V/V port s vnitřním posílením. K výstupním vyrovnávacím pamětem portu 3 lze připojit čtyři zátěže TTL-LS.</p>

Tab. 2 - pokrač.

Číslo špičky	Název signálu	Alternat. funkce	Význam
16 17	P3.6 P3.7	\overline{WR} \overline{RD}	Významy alternativních funkcí špiček portu 3 jsou uvedeny v tabulce 5.
18 19	XTAL2 XTAL1		Vstup do invertujícího zesilovače oscilátoru. Výstup z invertujícího zesilovače oscilátoru.
20	U_{SS}		Potenciál země.
21 22 23 24 25 26 27 28	P2.0 P2.1 P2.2 P2.3 P2.4 P2.5 P2.6 P2.7	Přenos vyššího bytu adresy.	Port 2. Port 2 je osmibitový obousměrný V/V port s vnitřním posílením. K výstupním vyrovnávacím pamětím portu 2 lze připojit čtyři zátěže TTL-LS. Port 2 rovněž vysílá vyšší byte šestnáctibitové adresy při styku s vnější pamětí. V této aplikaci se při vysílání jedniček užívají silné vnitřní posilovací obvody. Při programování a ověřování obsahu vnitřní paměti programu u obvodu 8751H se port 2 užívá pro příjem vyšších řádů adresy a řídicích bitů. Tytéž hodnoty se v portu 2 přijímají při ověřování obsahu vnitřní paměti programu u obvodu 8051AH.
29	\overline{PSEN}		Povolení paměti programu (Program <u>S</u> to <u>r</u> e <u>E</u> n <u>a</u> ble).

Tab. 2 - pokrač.

Číslo špičky	Název signálu	Alternat. funkce	Význam
			<p>Signál $\overline{\text{PSEN}}$ je čtecí strobovací impuls pro vnější paměť programu. Provádí-li obvod program uložený ve vnější paměti programu, vydává se signál $\overline{\text{PSEN}}$ dvakrát během každého strojového cyklu (výjimku představují dva potlačené impulsy signálu $\overline{\text{PSEN}}$ při styku s vnější pamětí dat). Signál $\overline{\text{PSEN}}$ se nevydává při provádění programu z vnitřní paměti programu.</p>
30	ALE	$\overline{\text{PROG}}$	<p>Povolení zachycení adresy (Address Latch Enable). Výstupní impuls signálu ALE zachycuje nižší byte adresy při styku s vnější pamětí. Signál ALE se generuje s konstantní rychlostí rovnou 1/6 frekvence oscilátoru. Využívá se pro účely vnějšího časování nebo hodin, zvláště když se nepracuje s vnější pamětí. (Při každém styku s vnější pamětí dat se potlačuje jeden impuls signálu ALE.)</p> <p>Tato špička se také alternativně využívá pro vstup programovacích impulsů při programování vnitřní paměti EPROM.</p>
31	$\overline{\text{EA}}$	U_{PP}	<p>Přístup do vnější paměti programu (External Access).</p>

Tab. 2 - pokrač.

Číslo špičky	Název signálu	Alternat. funkce	Význam
			<p>Je-li na špičku 31 přivedena logická hodnota 1, pak CPU pracuje s vnitřní pamětí programu, pokud programový čítač PC nepřesáhne hodnotu OFFFH (u obvodu 8051AH a 8751H) nebo 1FFFH (u obvodu 8052AH).</p> <p>Je-li na špičku přivedena logická hodnota 0, pak CPU pracuje jen s vnější pamětí programu bez ohledu na hodnotu v programovém čítači. U obvodů 8031AH a 8032AH musí být na tuto špičku vždy zvnějšku přivedena logická hodnota 0, protože tyto obvody nemají vnitřní paměť programu.</p> <p>U obvodu 8751H se na tuto špičku připojuje při programování vnitřní paměti EPROM programovací napětí U_{PP} (21 V).</p>
32 33 34 35 36 37 38 39	PO.7 PO.6 PO.5 PO.4 PO.3 PO.2 PO.1 PO.0	Přenos nižšího bytu adresy nebo bytu dat.	<p>Port 0.</p> <p>Port 0 je osmibitový obousměrný V/V port s otevřeným kolektorem. Na výstupy s otevřeným kolektorem lze připojit osm zátěží TTL-LS. Špičky portu 0, do kterých byla zapsána logická hodnota 1, se chovají jako výstupy s vysokou impedancí.</p>

Tab. 2 - pokrač.

Číslo špičky	Název signálu	Alternat. funkce	Význam
			<p>Port 0 je rovněž při styku s vnější pamětí multiplexován pro adresovou (nižší byte adresy) nebo datovou sběrnici. V tomto případě se při vysílání jedniček užívá silné vnitřní posílení.</p> <p>Port 0 také vysílá kódové byty během ověřování programu. Při této aplikaci se musí užít vnější posilovací obvody.</p>
40	U_{CC}		Napájecí napětí při normálním režimu obvodu (5 V).

Hlavní vlastnosti obvodů řady 8051 a 8052 jsou:

- osmibitová centrální procesorová jednotka (CPU);
- oscilátor a obvody hodin na čipu;
- 32 linek V/V;
- 64 KB adresový prostor pro vnější paměť programu;
- 64 KB adresový prostor pro vnější paměť dat;
- dva šestnáctibitové časovače/čítače (tři u 8032/8052);
- pět zdrojů přerušení (šest u 8032/8052) se dvěma úrovněmi priorit;
- plně duplexní sériový port;
- Booleovský procesor.

2. POPIS VNITŘNÍ STRUKTURY OBVODŮ

2.1 Organizace paměti

Mikrořadiče 8051 a 8052 mají oddělený prostor pro paměť programu a paměť dat. Paměť programu může mít rozsah až do 64 KB. Nejnižší 4 KB (8 KB pro 8052) mohou být umístěny na čipu. Paměť dat je typu RWM - RAM a její rozsah vně čipu může být až 64 KB. Kromě vnější paměti dat je přímo na čipu 128 B (256 B pro 8052) vnitřní paměti dat a navíc určitý počet registrů speciálních funkcí (SFRs - Special Function Registers). Přehled registrů speciálních funkcí je v tabulce 3.

Přehled registrů speciálních funkcí

Tabulka 3

Označení	Viz pozn.	Název	Adresa
ACC	*	Střadač (<u>A</u> ccumulator)	0E0H
B	*	B registr	0F0H
PSW	*	Stavové slovo programu (<u>P</u> rogram <u>S</u> tatus <u>W</u> ord)	0D0H
SP		Ukazatel zásobníku (<u>S</u> tack <u>P</u> ointer)	81H
DPTR		Ukazatel dat (<u>D</u> ata <u>P</u> ointer) - skládá se z DPH a DPL	83H 82H
P0	*	Port 0	80H
P1	*	Port 1	90H
P2	*	Port 2	0A0H
P3	*	Port 3	0B0H
IP	*	Řízení priority přerušení (<u>I</u> nterrupt <u>P</u> riority <u>C</u> ontrol)	0B8H
IE	*	Řízení povolení přerušení (<u>I</u> nterrupt <u>E</u> nable <u>C</u> ontrol)	0A8H

Tab. 3 - pokrač.

Označení	Viz pozn.	Název	Adresa
TMOD		Řízení režimu časovače/čítače (<u>T</u> imer/ <u>C</u> ounter <u>M</u> ode <u>C</u> ontrol)	89H
TCON		Řízení časovače/čítače (<u>T</u> imer/ <u>C</u> ounter <u>C</u> ontrol)	88H
T2CON	* +	Řízení časovače/čítače 2 (<u>T</u> imer/ <u>C</u> ounter <u>2</u> <u>C</u> ontrol)	0C8H
TH0		Časovač/čítač 0 - vyšší byte (<u>T</u> imer/ <u>C</u> ounter <u>0</u> - <u>h</u> igh byte)	8CH
TLO		Časovač/čítač 0 - nižší byte (<u>T</u> imer/ <u>C</u> ounter <u>0</u> - <u>l</u> ow byte)	8AH
TH1		Časovač/čítač 1 - vyšší byte (<u>T</u> imer/ <u>C</u> ounter <u>1</u> - high byte)	8DH
TL1		Časovač/čítač 1 - nižší byte (<u>T</u> imer/ <u>C</u> ounter <u>1</u> - low byte)	8BH
TH2	+	Časovač/čítač 2 - vyšší byte (<u>T</u> imer/ <u>C</u> ounter <u>2</u> - high byte)	0CDH
TL2	+	Časovač/čítač 2 - nižší byte (<u>T</u> imer/ <u>C</u> ounter <u>2</u> - low byte)	0CCH
RCAP2H	+	Časovač/čítač 2 záchytný registr - vyšší byte (Timer/Counter <u>2</u> <u>C</u> aptu- re <u>R</u> egister - high byte)	0CBH
RCAP2L	+	Časovač/čítač 2 záchytný registr - nižší byte (Timer/Counter <u>2</u> <u>C</u> aptu- re <u>R</u> egister - low byte)	0CAH
SCON	*	Sériové řízení (<u>S</u> erial <u>C</u> ontrol)	98H
SBUF		Vyrovňovací paměť sériových dat (<u>S</u> erial <u>D</u> ata <u>B</u> uffer)	99H
PCON		Řízení napájení (<u>P</u> ower <u>C</u> ontrol)	87H

Poznámka

Registry speciálních funkcí označené * jsou adresovatelné jako celý byte nebo po jednotlivých bitech.

Registry speciálních funkcí označené + jsou pouze u obvodů 8052.

2.2 Registry speciálních funkcí

Střadač (ACC)

ACC je registr, který má obvyklé funkce střadače. V operandových částech instrukcí pro práci se střadačem se mnemonicky označuje písmenem A.

B registr

Tento registr se užívá při aritmetických operacích násobení a dělení. Pro ostatní instrukce se může využít jako jiný registr tzv. zápisníkové paměti.

Ukazatel zásobníku (SP)

Registr ukazatele zásobníku je osmibitový. Jeho obsah se inkrementuje dříve než se uloží data instrukcemi PUSH a CALL. Zásobník může být umístěn kdekoliv ve vnitřní paměti RWM - RAM na čipu. Provedením funkce RESET se nastaví obsah SP na hodnotu 07H, takže data budou do zásobníku ukládána od adresy 08H.

Ukazatel dat (DPTR)

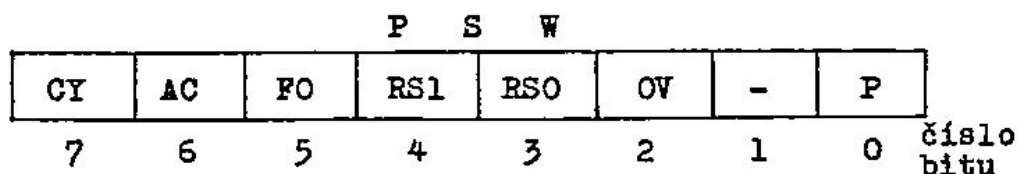
Ukazatel dat tvoří vyšší byte (DPH) a nižší byte (DPL). Registr ukazatele dat uchovává šestnáctibitovou adresu. Může být využíván jako šestnáctibitový registr nebo jako dva nezávislé osmibitové registry.

Porty 0 až 3

P0, P1, P2 a P3 jsou registry speciálních funkcí obsahující záchytné klopné obvody (latche) portů 0, 1, 2 a 3.

Stavové slovo programu (PSW)

Registr stavového slova programu má osm bitů a jeho struktura je podrobně uvedena na obr. 4. Významy jednotlivých bitů stavového slova programu jsou v tabulce 4.



Obr. 4. Registr stavového slova programu

Významy bitů stavového slova programu

Tabulka 4

Symbol	Bit v PSW	Název a význam																				
CY	7	Příznak přenosu (<u>C</u> arry flag)																				
AC	6	Příznak pomocného přenosu (<u>A</u> uxiliary <u>C</u> arry flag). Užívá se při operacích s čísly v kódu BCD.																				
FO	5	Uživatelský příznak 0 (<u>F</u> lag <u>0</u>). Jeho využití je ponecháno na úvaze uživatele.																				
RS1 RS0	4 3	Řídící bity 1 a 0 pro výběr sady registrů (<u>R</u> egister bank <u>S</u> elect). Nastavují a nulují se softwarově a určují banku registrů takto: <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th>RS1</th> <th>RS0</th> <th>Sada</th> <th>Adresy</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>00H - 07H</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>08H - 0FH</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">2</td> <td>10H - 17H</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">3</td> <td>18H - 1FH</td> </tr> </tbody> </table>	RS1	RS0	Sada	Adresy	0	0	0	00H - 07H	0	1	1	08H - 0FH	1	0	2	10H - 17H	1	1	3	18H - 1FH
RS1	RS0	Sada	Adresy																			
0	0	0	00H - 07H																			
0	1	1	08H - 0FH																			
1	0	2	10H - 17H																			
1	1	3	18H - 1FH																			
OV	2	Příznak přetečení (<u>O</u> verflow flag)																				
—	1	Rezerva																				

Tab. 4 - pokrač.

Symbol	Bit v PSW	Název a význam
P	0	Příznak parity (<u>P</u> arity flag). Nastavuje/nuluje se hardwarově při každém instrukčním cyklu a indikuje lichý/sudý počet bitů ve střadači, které obsahují jedničku. Jinak řečeno - příznak parity doplňuje obsah střadače sudou paritou.

Vyrovnávací paměť sériových dat (SBUF)

Vyrovnávací paměť sériových dat tvoří ve skutečnosti dva oddělené registry a to vyrovnávací registr pro vysílání a vyrovnávací registr pro příjem. Data přesouvaná do SBUF se ukládají do vysílacího vyrovnávacího registru (přesun bytu do SBUF zahajuje sériový přenos dat). Obdobně data čtená z SBUF jsou odebírána z přijímacího vyrovnávacího registru.

Časovače

Registrové páry (TH0, TL0), (TH1, TL1) a (TH2, TL2) jsou šestnáctibitové čítací registry pro časovače/čítače 0, 1, 2.

Záchytné registry

Registrový pár (RCAP2H, RCAP2L) představuje záchytné registry (capture registers) pro časovač 2 pracující v tzv. "záchytném režimu". V tomto režimu se v závislosti na změně na špičce T2EX obvodů 8052 zkopírují obsahy TH2 a TL2 do RCAP2H a RCAP2L.

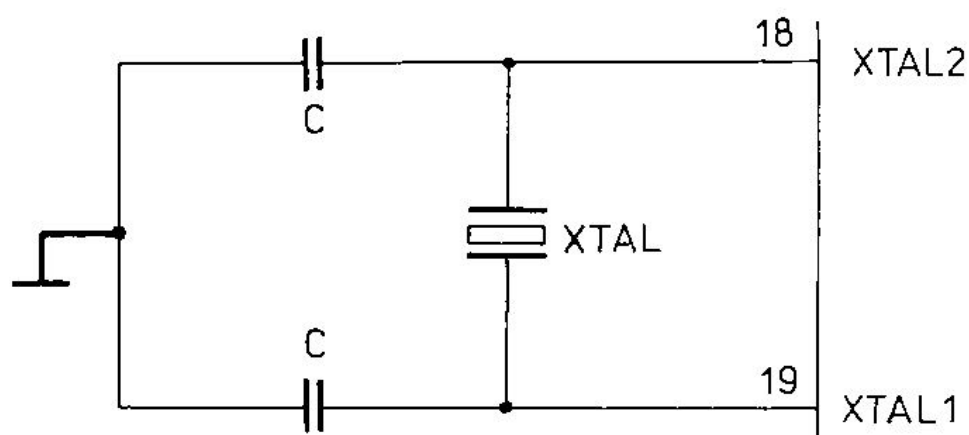
Časovač 2 může pracovat také v šestnáctibitovém samoplňovacím režimu, kdy RCAP2H a RCAP2L obsahují hodnotu pro nové naplnění. Podrobnější jsou vlastnosti časovače 2 popsány v článku 2.7.2.

Řídicí registry

Registry speciálních funkcí IP, IE, TMOD, TCON, T2CON, SCON a PCON obsahují řídicí a stavové bity pro přerušovací systém, časovače/čítače a sériový port. Jsou popsány v dalších článcích.

2.3 Oscilátor a obvod hodin

Špičky XTAL1 a XTAL2 jsou vstupem a výstupem jednostupňového invertoru uvnitř čipu, který může být doplněn vnějšími součástkami na Pierceův oscilátor tak, jak je uvedeno na obr. 5.



$$C = \begin{cases} 30 \text{ pF} \pm 10 \text{ pF} & \text{pro krystaly} \\ 40 \text{ pF} \pm 10 \text{ pF} & \text{pro keramické rezonátory} \end{cases}$$

Obr. 5 Krystalový/keramický rezonátor oscilátoru

Frekvence oscilátoru může být v rozsahu 1,2 až 12 MHz. Podrobněji jsou otázky oscilátoru probrány v článku 2.14.

Oscilátor v mnoha případech budí vnitřní generátor hodin, který poskytuje časovací signály pro čip. Vnitřní časovací signály mají poloviční frekvenci oscilátoru a definují vnitřní fáze, stavy a strojové cykly, které jsou popsány v dalším odstavci.

2.4 Časování centrální procesorové jednotky (CPU)

Strojový cyklus má 6 stavů (12 periodů oscilátoru) označených S1 až S6. Každý stav se dělí na polovinu patřící fázi 1 (P1), kdy je aktivní signál Phase 1 clock, a na polovinu patřící fázi 2 (P2), během které je aktivní signál Phase 2 clock.

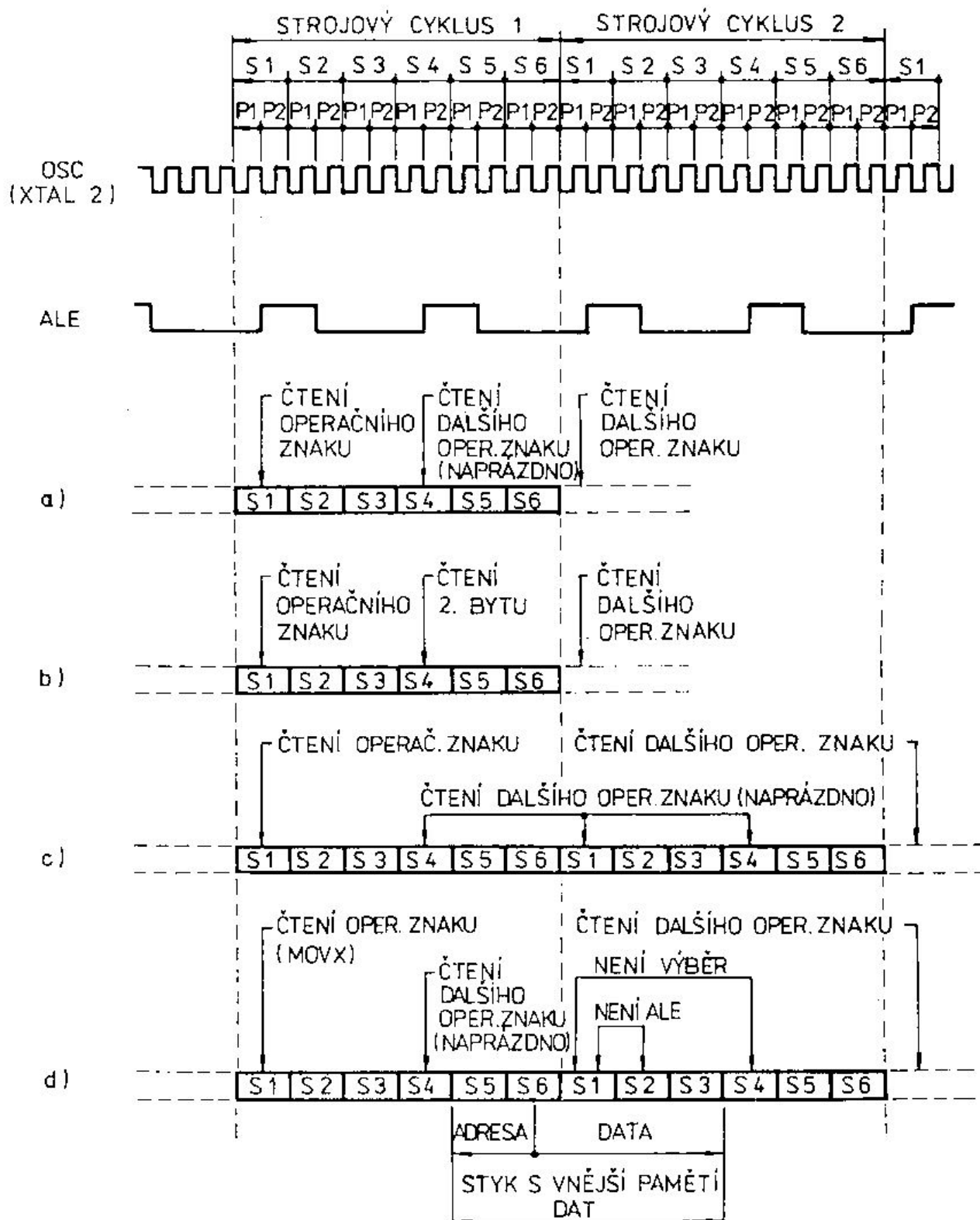
Strojový cyklus je tvořen dvanácti periodami oscilátoru označenými S1-P1 (stav 1, fáze 1) až S6-P2 (stav 6, fáze 2). Každá fáze trvá jednu periodu oscilátoru, každý stav dvě periody oscilátoru.

Aritmetické a logické operace typicky probíhají během fáze 1, kdežto vnitřní přesuny mezi registry ve fázi 2.

Časování, výběr a provedení instrukce ve vztahu k vnitřním fázím a stavům je na obr. 6. Protože tyto vnitřní hodinové signály nejsou pro uživatele dosažitelné, jsou pro orientaci uvedeny signály oscilátoru na špičce XTAL2 a signál ALE. Signál ALE se normálně aktivuje dvakrát během jednoho strojového cyklu; poprvé během S1-P2 až S2-P1 a podruhé během S4-P2 až S5-P1.

Provádění jednocyklové instrukce začíná při S1-P2, kdy se uloží operační znak do registru instrukcí. V případě dvoubytové instrukce se druhý byte čte během stavu S4 téhož strojového cyklu. U jednobytových instrukcí je ve stavu S4 také výběr, avšak přečtený byte (který by mohl být dalším operačním znakem) se ignoruje a obsah programového čítače se nezvyšuje. V každém případě se provádění instrukce dokončí v závěru S6-P2. Obrázky 6a a 6b ukazují časování pro jednobytovou jednocyklovou a dvoubytovou jednocyklovou instrukci.

Většina instrukcí mikrořadičů 8051 a 8052 se provádí v jednom strojovém cyklu. Jedinými instrukcemi, které potřebují ke svému dokončení více než dva strojové cykly, jsou instrukce MUL (Multiplý - násobení) a DIV (Divide - dělení). Obě vyžadují čtyři strojové cykly.



Obr. 6 Výběrové a prováděcí sekvence instrukcí obvodů 8051 a 8052

- a) jednobytová jednocyklová instrukce, např. INC A
- b) dvoubytová jednocykl. instrukce, např. ADD A, #data
- c) jednobytová dvoucyclová instrukce, např. INC DPTR
- d) instrukce MOVX (jednobytová dvoucyclová)

Během každého strojového cyklu se normálně vybírají z paměti programu dva kódové byty (tj. operační znak instrukce a ignorovaný operační znak nebo druhý byte instrukce). Jedinou výjimkou je instrukce MOVX, která používá vnější paměť dat. Je to jednobytová dvoucyklová instrukce, při jejímž provádění se ve druhém strojovém cyklu přeskakují dva výběry v době adresování a zápisu nebo čtení dat z vnější paměti dat. Časování pro normální jednobytovou dvoucyklovou instrukci a pro instrukci MOVX ukazují obrázky 6c a 6d.

2.5 Struktura a činnost portů

U mikrořadičů 8051 a 8052 jsou všechny čtyři porty obousměrné. Každý port tvoří záchytné klopné obvody (viz registry speciálních funkcí P0 až P3), výstupní budiče a vstupní vyrovnávací paměť.

Výstupní budiče portu 0 a portu 2 a vstupní vyrovnávací paměť portu 0 se používají pro styk s vnější pamětí. V této aplikaci je port 0 výstupem pro nižší byte adresy vnější paměti a je časově multiplexován s bytem, který se má číst nebo zapsat. Z portu 2 vystupuje vyšší byte adresy vnější paměti, je-li adresa šestnáctibitová. Jinak se přes špičky portu 2 zveřejňuje obsah registru speciálních funkcí P2.

Všechny špičky portu 3 (u obvodů 8052 ještě dvě špičky portu 1) mají kromě obvyklé funkce portů ještě další speciální funkce, které jsou shrnuty v tabulce 5.

Alternativní funkce špiček portů

Tabulka 5

Špička	Funkce
*P1.0	T2 (externí vstup časovače/čítače 2)
*P1.1	T2EX (spouštění zachycení hodnoty nebo nového naplnění časovače/čítače 2)
P3.0	RXD (sériový vstupní port)

Tab. 5 - pokrač.

Špička	Funkce
P3.1	TXD (sériový výstupní port)
P3.2	$\overline{\text{INT0}}$ (vnější přerušeni)
P3.3	$\overline{\text{INT1}}$ (vnější přerušeni)
P3.4	T0 (vnější vstup časovače/čítače 0)
P3.5	T1 (vnější vstup časovače/čítače 1)
P3.6	$\overline{\text{WR}}$ (zápisový strobovací impuls pro vnější paměť dat)
P3.7	$\overline{\text{RD}}$ (čtecí strobovací impuls pro vnější paměť dat)

* Špičky P1.0 a P1.1 mají tyto funkce pouze u obvodů 8052

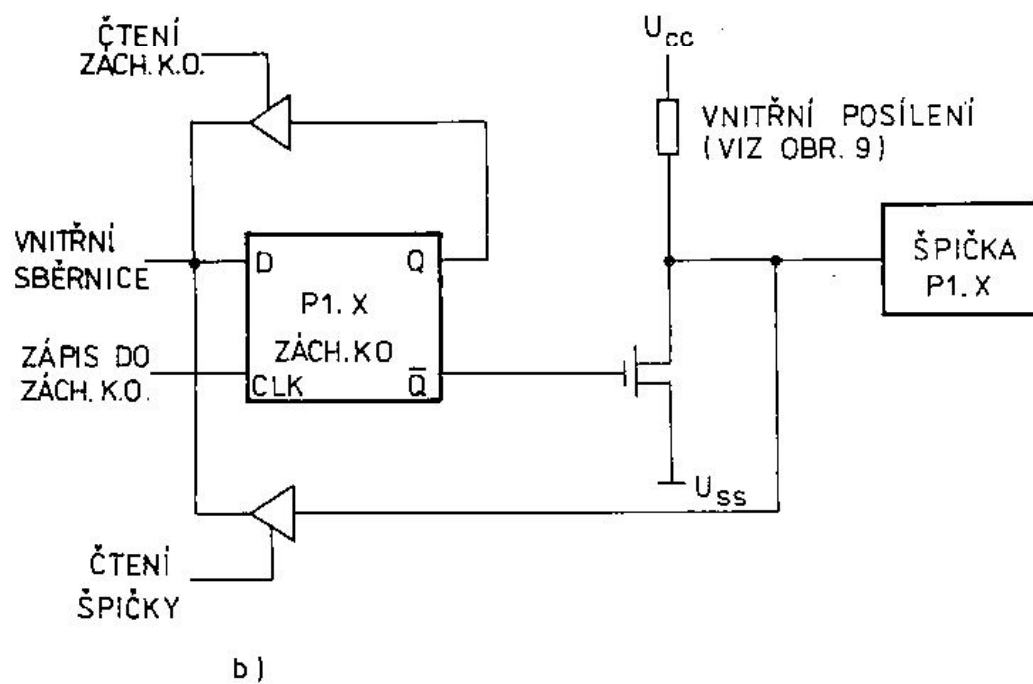
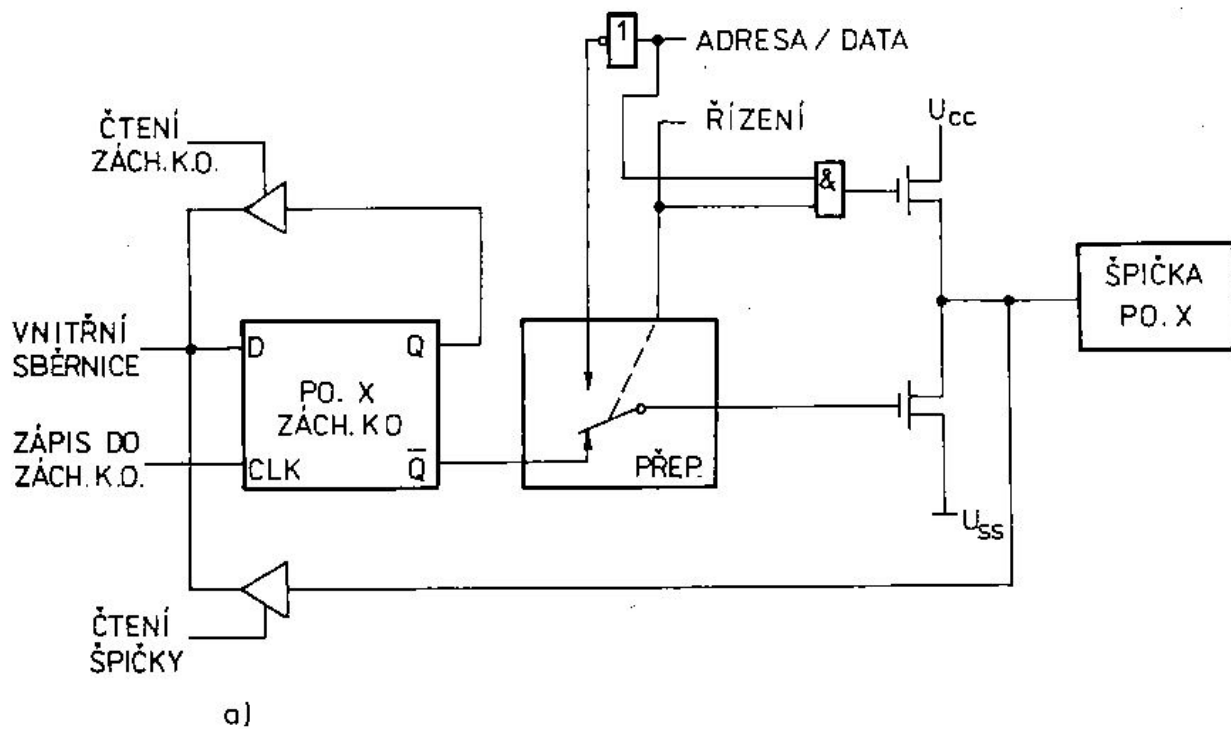
Alternativní funkce se mohou aktivovat pouze tehdy, obsahuje-li odpovídající tzv. bitový záchytný klopný obvod v registru speciálních funkcí pro příslušný port logickou hodnotu 1. V ostatních případech je špička portu přidržena na logické hodnotě 0.

2.5.1 Uspořádání vstupů/výstupů

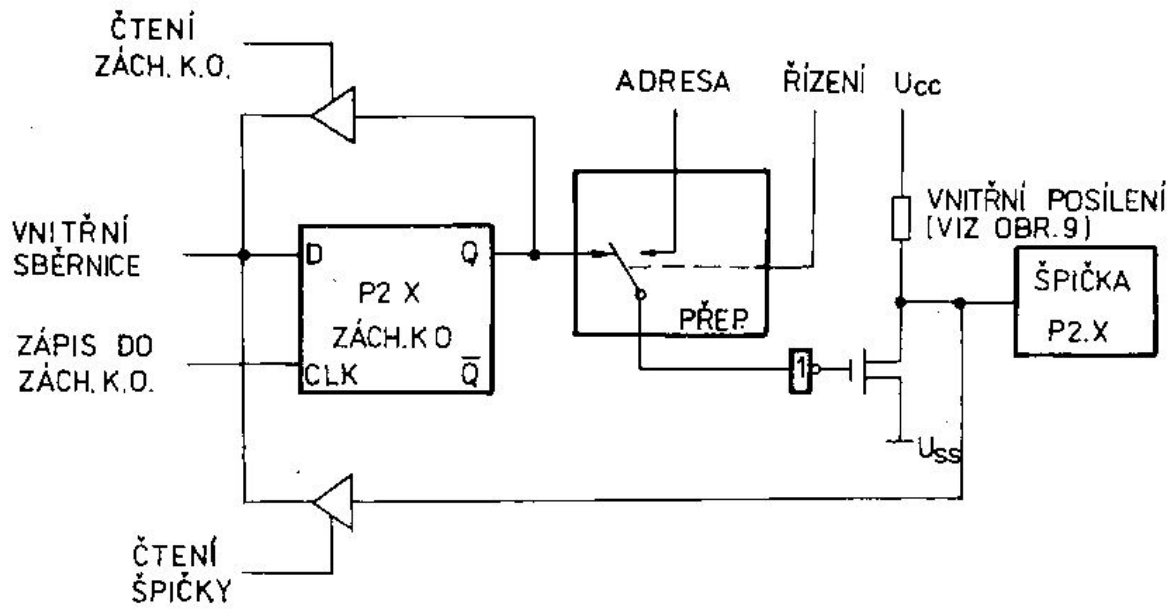
Na obr. 7a až 7d je funkční schema typického bitového záchytného klopného obvodu a vyrovnávací paměti V/V v každém ze čtyř portů.

Bitový záchytný klopný obvod (jeden bit registru speciálních funkcí patřící k danému portu) je vlastně klopný obvod typu D, do něhož se zapisuje hodnota obsažená na vnitřní sběrnici signálem "ZÁPIS DO ZÁCH. K.O." z CPU. Výstup Q klopného obvodu se připojuje na vnitřní sběrnici signálem "ČTENÍ ZÁCH. K.O." z CPU.

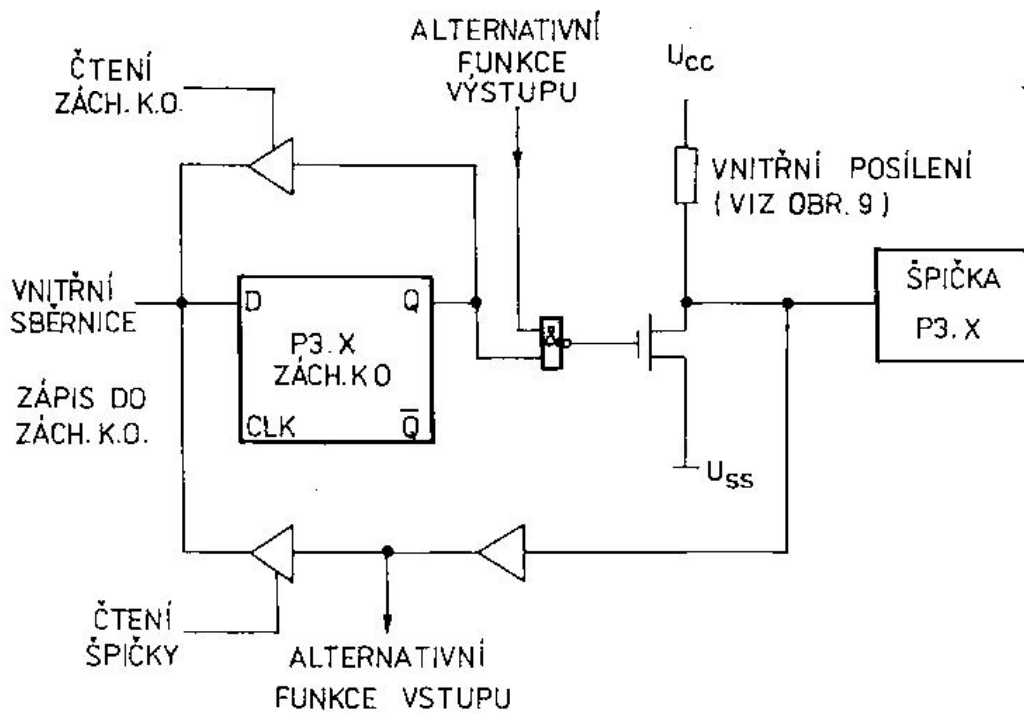
Hodnota ze špičky portu se na vnitřní sběrnici přenesení signálem "ČTENÍ ŠPIČKY" z CPU. Některé instrukce pro čtení dat z portu aktivují signál "ČTENÍ ZÁCH. K.O.", jiné signál "ČTENÍ ŠPIČKY". Podrobnější rozbor je uveden v článku 2.5.4.



Obr. 7 Struktura bitu portů P0 až P3
 a) bit portu 0 b) bit portu 1



c)



d)

Obr. 7 Struktura bitu portů P0 až P3
 c) bit portu 2 d) bit portu 3

Jak je zřejmé z obr. 7, jsou výstupní budiče portů 0 a 2 přepínatelné vnitřním signálem "ŘÍZENÍ" pro vytvoření adresové/datové (P0) a adresové (P2) sběrnice při spolupráci s vnější pamětí. Během této spolupráce se obsah registru speciálních funkcí P2 nemění, zatímco do registru speciálních funkcí P0 jsou zapsány jedničky.

Z obr. 7d je také zřejmé, že obsahuje-li bitový záchytný klopný obvod P3 logickou hodnotu 1, pak je výstupní úroveň řízena signálem "ALTERNATIVNÍ FUNKCE VÝSTUPU". Skutečná úroveň na špičce P3.X je přístupná při alternativní funkci vstupu, pokud takovou funkci špička má.

Porty 1, 2 a 3 mají vnitřní posilovací obvody. Port 0 má výstupy s otevřeným kolektorem. Každá linka V/V může být nezávisle použita jako vstup nebo výstup. (Porty 0 a 2 však mají omezení - nemohou být obecně využity jako vstupy nebo výstupy, používají-li se jako adresová nebo datová sběrnice.) Při vstupní funkci portu musí bitové záchytné klopné obvody obsahovat logickou hodnotu 1, sby byly rozepnuty výstupní budiče FET. U portů 1, 2 a 3 jsou špičky V/V přidržovány na logické hodnotě 1 vnitřním posilovacím obvodem, avšak mohou být nastaveny do logické hodnoty 0 vnějším zdrojem.

Port 0 se odlišuje tím, že nemá vnitřní posilovací obvody. Výstupní tranzistor FET, který spíná logickou úroveň 1 ve výstupním budiči P0 (viz obr. 7a), se používá pouze při spolupráci s vnější pamětí, když port vysílá do všech bitů jedničku. V ostatních případech je tento tranzistor rozepnut. S ohledem na tuto skutečnost jsou při výstupní funkci portu P0 všechny linky s otevřeným kolektorem. Budou-li do bitových záchytných klopných obvodů zapsány jedničky, pak jsou oba výstupní tranzistory rozepnuty a port P0 se může využít jako vstupní s vysokou impedancí.

Protože porty 1, 2 a 3 mají pevné vnitřní posilovací obvody, nazývají se někdy "kvaziobousměrné" porty. Jsou-li použity jako vstupní, jsou přidržovány na logické úrovni 1 a představují zdroj proudu při připojení logické úrovně 0

z vnějšího zdroje. Port 0 je na druhé straně považován za skutečně obousměrný, neboť při vstupní funkci má vysokou impedanci. Zjednodušené struktury bitu obousměrného a kvaziobousměrného portu jsou uvedeny na obr. 8.

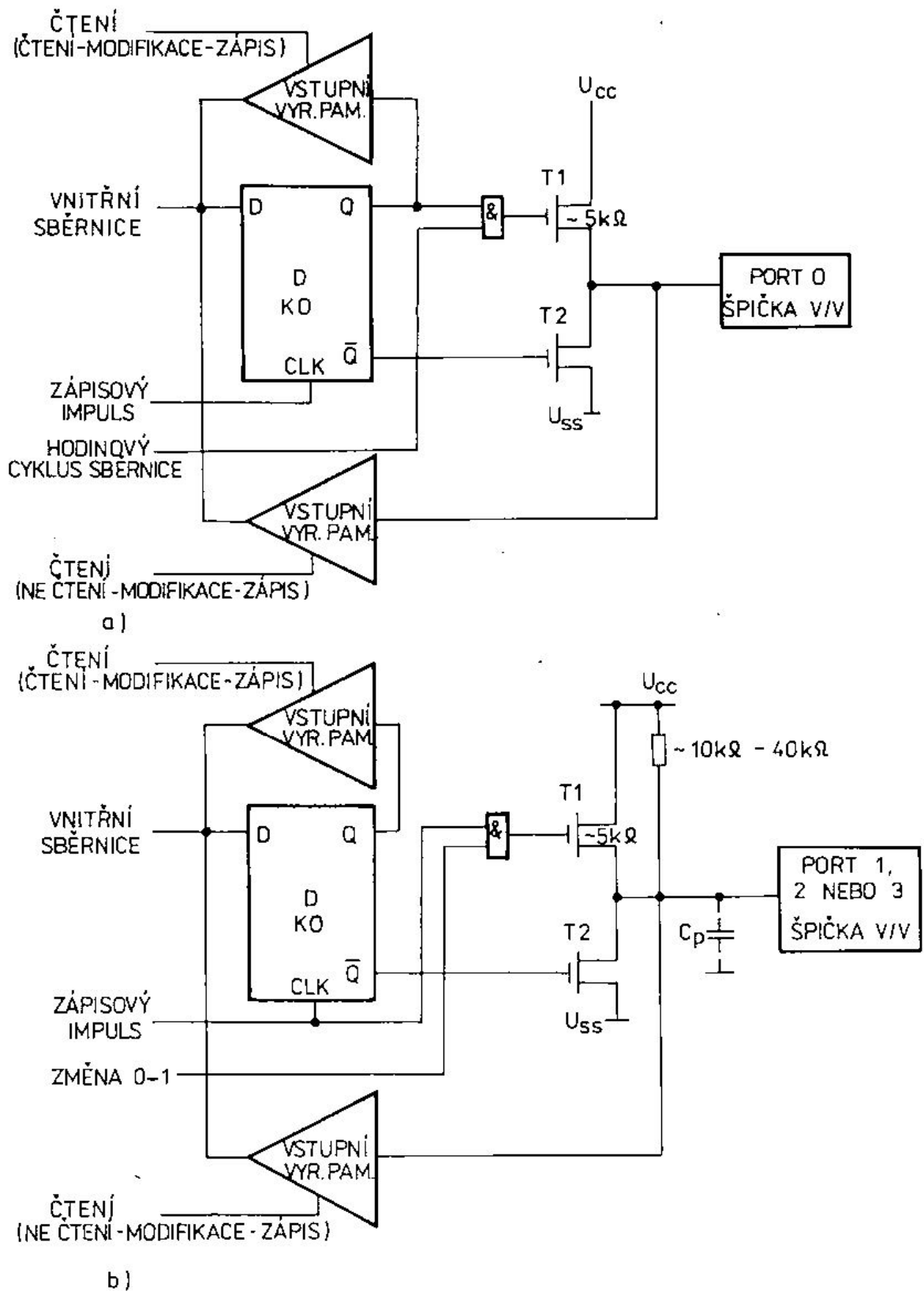
Při počáteční inicializaci (funkce RESET) jsou všechny porty obvodů 8051/8052 nastaveny jako vstupní (do všech bitových záchytných klopných obvodů je zapsána logická hodnota 1). Změnu výstupního režimu portu na vstupní režim docílíme zápisem logické hodnoty 1 do všech bitových záchytných klopných obvodů příslušného portu.

2.5.2 Zápis do portu

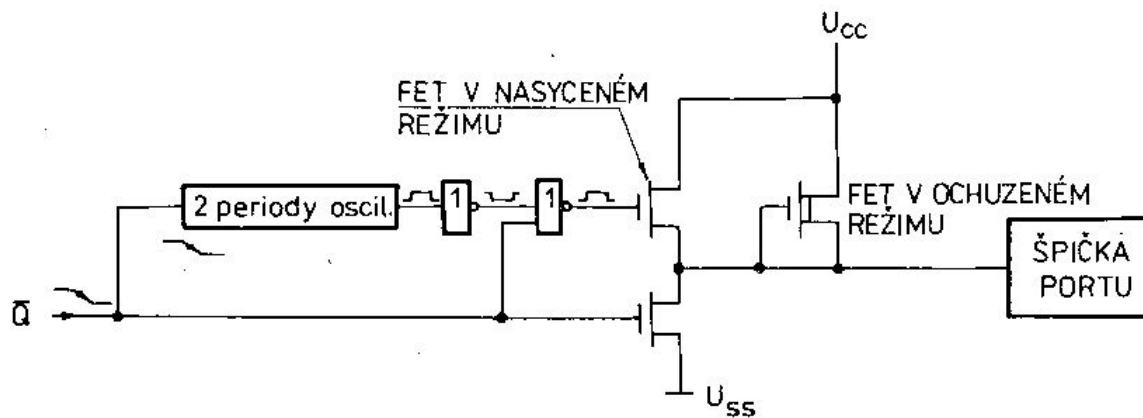
Při provádění instrukce, která mění hodnotu obsaženou v záchytném registru portu, se nová hodnota objeví v záchytném registru během S6-P2 posledního cyklu instrukce. Protože záchytné klopné obvody portu jsou ve skutečnosti vzorkovány svými výstupními vyrovnávacími paměťmi pouze během fáze 1 kterékoliv periody hodin, může se nová hodnota (uložená v záchytném klopném obvodu portu) objevit na výstupní špičce až v příští fázi 1, tj. v S1-P1 následujícího strojového cyklu. Během fáze 2 drží výstupní vyrovnávací paměť hodnotu, kterou získala v předcházející fázi 1.

Vyžaduje-li změna v portech 1, 2 nebo 3 přechod z nuly do jedničky, připíná se přídatné posílení během S1-P1 a S1-P2 strojového cyklu, ve kterém změna nastává. Je to z důvodů zvýšení přepínací rychlosti. Zvláštní posilovací obvod může dodat asi 100x větší proud než je proud dodávaný obvodem pro spínání do logické hodnoty 1. Je třeba připomenout, že vnitřní posilovací obvody jsou tranzistory řízené polem a nikoliv lineární rezistory. Uspořádání posilovacích obvodů pro technologii HMOS je na obr. 9, pro technologii CHMOS na obr. 10.

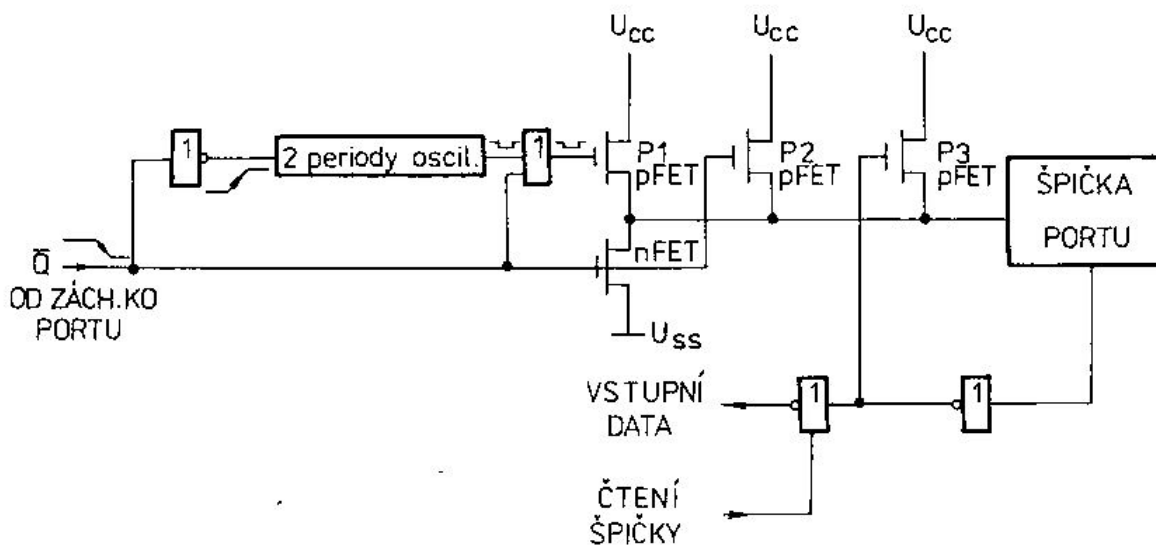
V HMOS verzi obvodů 8051/8052 je pevnou částí posilovacího obvodu tranzistor v ochuzeném režimu s řídicím vstupem připojeným k emitoru, který dodává proud asi 0,25 mA po připojení



Obr. 8 Zjednodušená struktura bitu portů
 a) bit obousměrného portu
 b) bit kvaziobousměrného portu



Obr. 9 Posilovací obvod portů 1, 2 a 3 - technologie HMOS



Obr. 10 Posilovací obvod portů 1, 2 a 3 - technologie CMOS

na zem. Paralelně k němu je zapojen tranzistor v nasyceném režimu. Je aktivován na dvě periody oscilátoru během S1, když se bit portu mění z logické hodnoty 0 do logické hodnoty 1 (na výstupu \bar{Q}). V tomto intervalu, je-li špička portu uzemněna, dodává tento tranzistor proud 30 mA.

Ve verzi CMOS jsou posilovací obvody vytvořeny ze tří tranzistorů pFET. Tranzistor pFET pracuje obdobně jako spínač. Je sepnut, má-li na řídicím vstupu logickou hodnotu 0 a rozepnut, má-li na řídicím vstupu logickou hodnotu 1. U tranzistoru nFET je tomu naopak, tj. spíná při logické hodnotě 1 na řídicím vstupu a rozpíná při logické hodnotě 0.

Tranzistor P1 na obr. 10 spíná na dvě periody oscilátoru po změně z logické hodnoty 1 do 0 na výstupu \bar{Q} . Je-li P1 sepnut, spíná přes invertor tranzistor P3 (slabé posílení). Tranzistor P3 a invertor tvoří obvod, který udržuje na špičce logickou hodnotu 1.

Je-li špička zdrojem logické hodnoty 1, může krátký rušivý záporný impuls z nějakého vnějšího zdroje rozepnout tranzistor P3. To by způsobilo přechod špičky do stavu vysoké impedance. Tranzistor P2 představuje velmi slabé posílení (asi 1/10 posílení tranzistoru P3), které se připíná při rozepnutí tranzistoru nFET. Funkcí tranzistoru P2 je obnovení logické hodnoty 1 na špičce v případě, že byla zrušena vlivem úzkého rušivého impulsu zvnějšku.

2.5.3 Zatížení portů

Výstupní vyrovnávací paměti portů 1, 2 a 3 mohou každý budít 4 vstupy TTL-LS (Low Schottky). Tyto porty mohou být ve verzích CMOS buzeny normálním způsobem jakýmkoliv TTL nebo CMOS obvodem. Jak verze CMOS, tak i CMOS mohou být buzeny zapojením s otevřeným kolektorem a nepotřebují vnější posílení.

Vyrovnávací paměti portu 0 mohou každá budít 8 vstupů TTL-LS. Pro buzení CMOS vstupů vyžadují vnější posílení s výjimkou případů, kdy jsou použity jako adresová/datová sběrnice.

2.5.4 Instrukce typu "čtení - modifikace - zápis"

Některé instrukce jsou určeny pro čtení záchytného klop-
ného obvodu portu, jiné pro čtení špičky portu. Instrukce,
které čtou data ze záchytného klopného obvodu portu, mohou je-
jich hodnotu změnit, a potom nová data opět zapíše do záchy-
tného klopného obvodu. Jsou to instrukce typu "čtení - modifi-
kace - zápis". Mají-li tyto instrukce jako operand port nebo
bit portu, čtou záchytný klopný obvod a nikoliv špičku portu.

Přehled instrukcí pro "čtení - modifikaci - zápis":

ANL	- logický součin, např. ANL P1,A
ORL	- logický součet, např. ORL P2,A
XRL	- součet mod 2, např. XRL P3,A
JBC	- skok, je-li bit = 1 (bit se vynuluje), např. JBC P1.1,NAV
CPL	- doplněk (inverze) bitu, např. CPL P3.0
INC	- inkrement, např. INC P2
DEC	- dekrement, např. DEC P2
DJNZ	- dekrement a skok při nenulovém obsahu, např. DJNZ P3,NAV
MOV PX.Y,C	- přesun hodnoty přenosu do bitu Y portu X
CLR PX.Y	- vynulování bitu Y portu X
SET PX.Y	- nastavení bitu Y portu X

Poslední tři instrukce v seznamu čtou všech osm bitů zá-
chytných klopných obvodů portu, modifikují adresovaný bit a
zapíše nový byte zpět do příslušných záchytných klopných obvodů.

Důvodem směrování instrukcí typu "čtení - modifikace - zá-
pis" na práci se záchytným klopným obvodem a ne se špičkou por-
tu je zabránění špatné interpretaci napěťové úrovně na špičce.
Například se bit portu může použít pro buzení báze tranzistoru.
Po zapsání logické hodnoty 1 do bitu se tranzistor otevře. Bu-
de-li tento bit číst CPU ze špičky a ne ze záchytného klopné-
ho obvodu, bude interpretovat napětí na bázi tranzistoru jako
logickou hodnotu 0. Při čtení záchytného klopného obvodu však
CPU obdrží správnou logickou hodnotu 1.

2.6 Styk s vnější pamětí

Styk s vnější pamětí je dvojího druhu:

- styk s vnější pamětí programu;
- styk s vnější pamětí dat.

Při spolupráci s vnější pamětí programu se užívá signál $\overline{\text{PSEN}}$ (Program Store Enable - povolení paměti programu) jako čtecí strobovací impuls. Pro styk s vnější pamětí dat se používá signál $\overline{\text{RD}}$ nebo $\overline{\text{WR}}$ (viz alternativní funkce P3.7 a P3.6) jako čtecí nebo zápisový strobovací impuls.

Pro výběr instrukce z vnější paměti programu se využívá vždy šestnáctibitová adresa. Při styku s vnější pamětí dat se může užívat buď šestnáctibitová adresa ($\text{MOVX } @\text{DPTR}$) nebo osmibitová adresa ($\text{MOVX } @\text{Ri}$).

Při použití šestnáctibitové adresy se vyšší byte adresy objevuje v portu 2 a je tam po dobu trvání čtecího nebo zápisového cyklu. Během této doby nemusí záchytné registry portu 2 (registru speciálních funkcí) obsahovat samé jedničky a obsah portu 2 se nemění. Není-li cyklus pro styk s vnější pamětí následován jiným cyklem styku s vnější pamětí, objeví se nepoškozený obsah portu 2 (registru speciálních funkcí) znovu v dalším cyklu.

Užívá-li se osmibitová adresa, obsah portu 2 registru speciálních funkcí zůstává na špičkách portu 2 i v době cyklu styku s vnější pamětí. To bude umožňovat stránkování paměti.

V každém případě je však v portu 0 časově multiplexován nižší byte adresy s datovým bytem. Signál ADRESA/DATA budí oba tranzistory ve výstupní vyrovnávací paměti portu 0. Proto v této aplikaci nemají špičky portu 0 vlastnosti výstupů s otevřeným kolektorem a nevyžadují vnější posilovací obvody. Signál ALE (Address Latch Enable - povolení zachycení adresy) se může využít pro uložení adresového bytu do vnějšího záchytného registru. Adresový byte je platný při závěrné hraně signálu ALE.

Při zápisovém cyklu se zapisovaný datový byte objevuje v portu 0 těsně před vybuzením signálu \overline{WR} a zůstává tam ještě po skončení signálu \overline{WR} . Při čtecím cyklu se přichází byte v portu 0 akceptuje právě před skončením čtecího strobovacího impulsu \overline{RD} .

Během každého vstupu do vnější paměti zapisuje CPU do zachytných klopných obvodů portu 0 (registru speciálních funkcí) hodnotu OFFH. To vymaže jakoukoliv informaci, kterou mohl port 0 (registr speciálních funkcí) obsahovat.

Přístup do vnější paměti programu lze uskutečnit za dvou podmínek:

- 1) buď je signál \overline{EA} aktivní nebo
- 2) programový čítač (PC) obsahuje číslo větší než OFFFH (pro 8052 číslo větší než LFFFH).

U obvodů bez vnitřní paměti ROM je nutné, aby špička \overline{EA} byla připojená na logickou hodnotu 0. Tím se umožní výběr nižších 4 KB (u 8032 nižších 8 KB) programu z vnější paměti programu.

Pracuje-li CPU s vnější pamětí programu, je všech osm bitů portu 2 určeno pro funkce výstupu a port 2 proto nelze užít pro obecné účely V/V, neboť při výběru programu z vnější paměti se do portu 2 vysílá vyšší byte programového čítače.

Během součinnosti s vnější pamětí dat se do portu 2 vysílá buď DPH (vyšší řády ukazatele dat) nebo obsah registru speciálních funkcí portu 2 (v závislosti na tom, zda se pro styk s vnější pamětí dat užije instrukce MOVX @DPTR nebo MOVX @R1).

2.6.1 Signál \overline{PSEN}

Signál \overline{PSEN} je čtecí strobovací impuls pro výběr instrukce z vnější paměti programu. Tento signál se nevyskytuje při čtení z vnitřní paměti programu. Čte-li CPU z vnější paměti programu, generuje se signál \overline{PSEN} dvakrát během každého strobovacího cyklu (výjimka při čtení instrukce MOVX), ať je nebo

není zapotřebí provést pro danou instrukci výběr z vnější paměti programu.

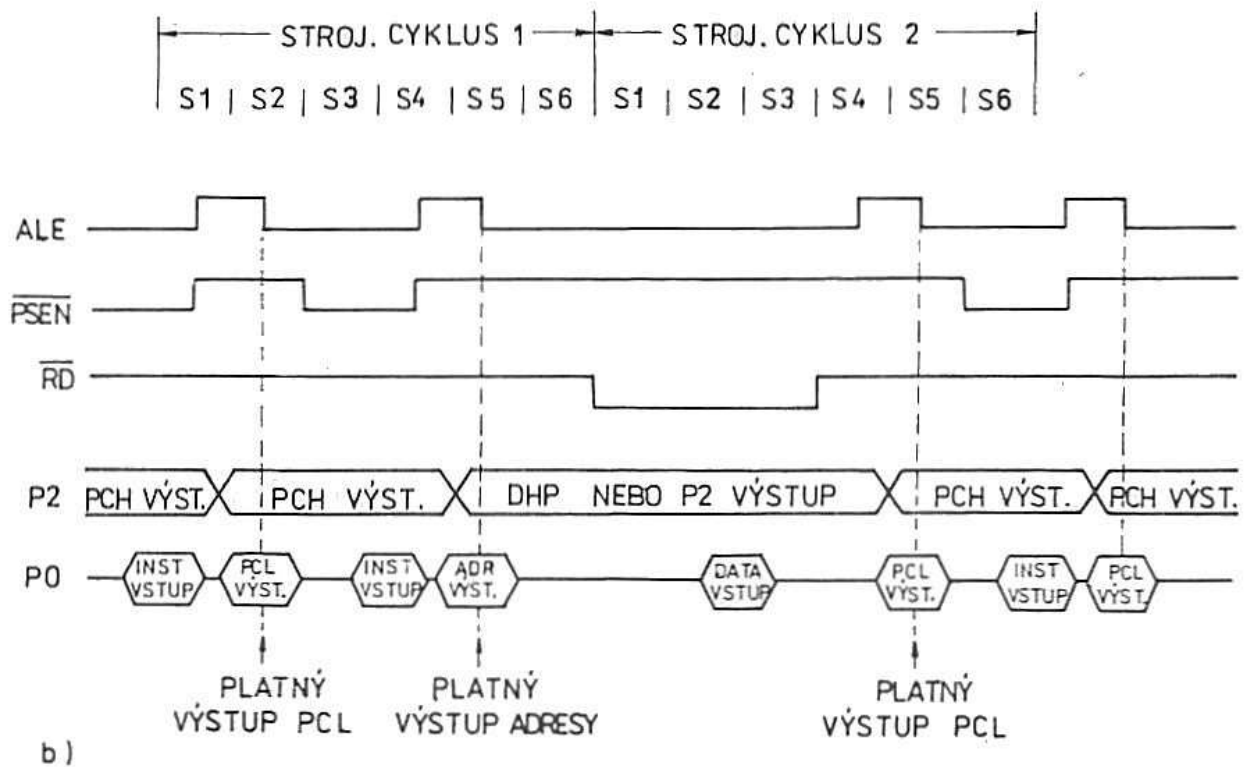
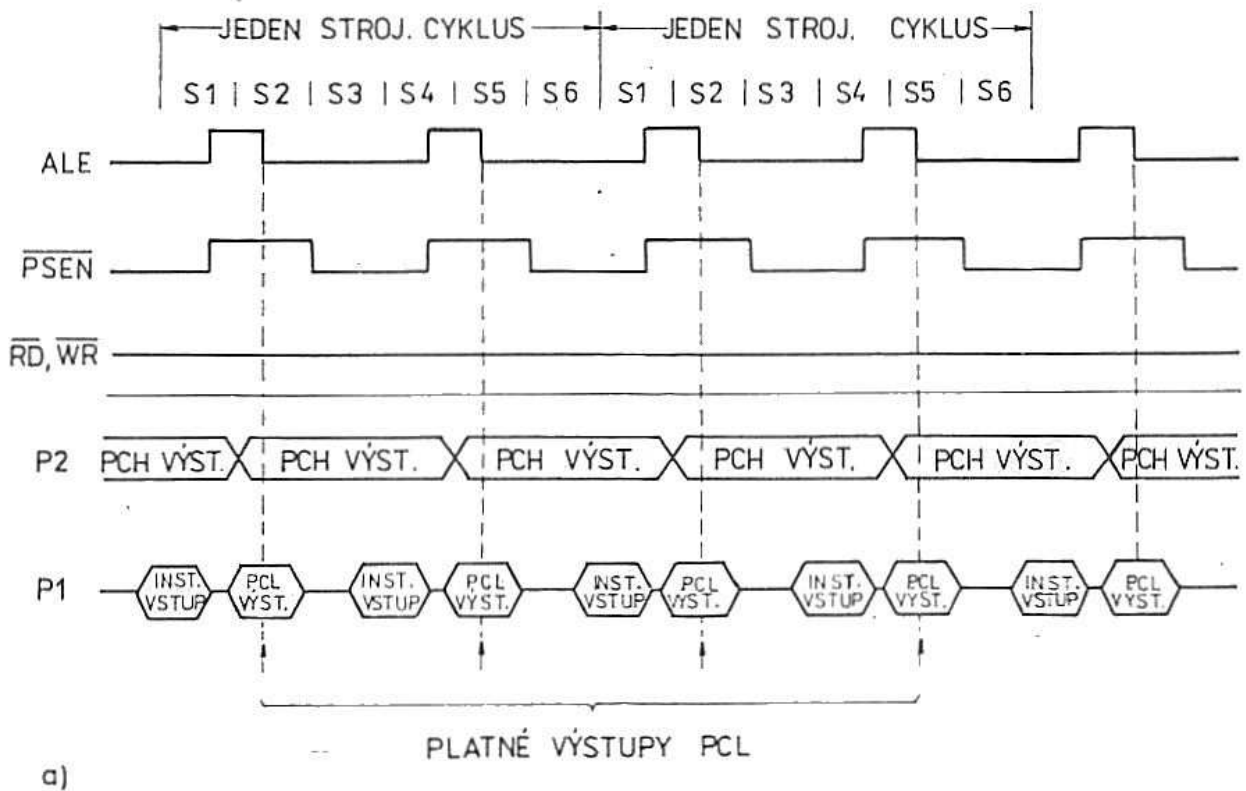
Signál $\overline{\text{PSEN}}$ nemá stejné časování jako signál $\overline{\text{RD}}$. Úplný cyklus $\overline{\text{RD}}$ (včetně vydání a ukončení signálů ALE a $\overline{\text{RD}}$) trvá 12 period oscilátoru. Úplný cyklus $\overline{\text{PSEN}}$ (včetně vydání a ukončení signálů ALE a $\overline{\text{PSEN}}$) trvá 6 period oscilátoru. Pro srovnání jsou prováděcí sekvence obou typů čtecích cyklů uvedeny na obr. 11.

2.6.2 Signál ALE

Základní funkcí signálu ALE je určení časového okamžiku pro zapsání nižšího bytu adresy z portu PO do vnějšího záchytného registru. Tato adresa se využije při výběru instrukce z vnější paměti programu. Signál ALE se aktivuje dvakrát během každého strojového cyklu. K aktivaci dojde i tehdy, neobsahuje-li strojový cyklus žádný výběr z vnější paměti programu. Výjimku představuje spolupráce CPU s vnější pamětí dat prostřednictvím instrukce MOVX, kdy se signál ALE nevydává v době S1-P2 až S2-P1 druhého strojového cyklu této instrukce. Z toho vyplývá, že u všech systémů, které neužívají vnější paměť dat, lze signálu ALE (generuje se s frekvencí rovnou 1/6 frekvence oscilátoru) využít pro spouštění nebo časování vnějších obvodů.

2.6.3 Překrývání prostoru vnější paměti programu a dat

V některých aplikacích je žádoucí provádět program z téže fyzické paměti, jaká se užívá pro uložení dat. U obvodů 8051/8052 se mohou prostory vnější paměti programu a vnější paměti dat kombinovat, provedeme-li logický součin signálů $\overline{\text{PSEN}}$ a $\overline{\text{RD}}$. Přivedeme-li oba signály na vstupy pozitivního hradla AND, získáme na výstupu čtecí strobovací impuls s aktivní logickou hodnotou 0, který se může využít pro kombinování fyzické paměti. Vzhledem k tomu, že cyklus $\overline{\text{PSEN}}$ je rychlejší než cyklus $\overline{\text{RD}}$, je zapotřebí, aby se vnější paměť svou rychlostí přizpůsobila cyklu $\overline{\text{PSEN}}$.



Obr. 11 Obsluha vnější paměti programu
 a) s výjimkou instrukce MOVX
 b) včetně instrukce MOVX

2.7 Časovače/čítače

Obvody 8051 obsahují dva šestnáctibitové registry s funkcí časovačů/čítačů, které se označují časovač 0 a časovač 1. Obvody 8052 mají navíc ještě časovač 2. Všechny tři registry mohou pracovat buď jako časovače nebo jako čítače vnějších událostí (zkráceně jen čítače).

Ve funkci "časovač" se obsah registru zvyšuje při každém strojovém cyklu, lze tedy o něm hovořit jako o čítači strojových cyklů. Protože strojový cyklus obsahuje 12 period oscilátoru, je rychlost přičítání rovna $1/12$ frekvence oscilátoru.

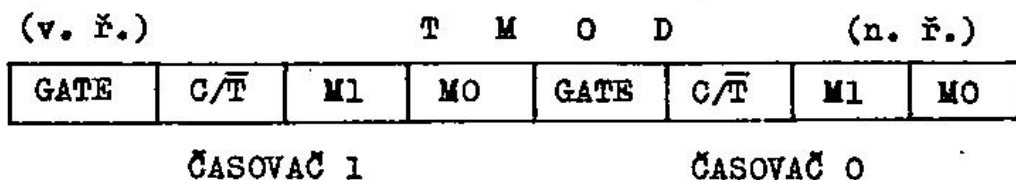
Ve funkci "čítač vnějších událostí" se obsah registru zvyšuje při přechodu signálu z logické hodnoty 1 do logické hodnoty 0 na odpovídající vnější špičce T0, T1 a nebo - u obvodů 8052 - na špičce T2. Při této funkci se vnější vstup vzorkuje během doby S5-P2 každého strojového cyklu. Zjistí-li se logická úroveň 1 v jednom strojovém cyklu a logická hodnota 0 v příštím cyklu, obsah čítače se zvýší. Nová hodnota se v registru objeví v době S3-P1 strojového cyklu následujícího za cyklem, ve které byla zjištěna změna. Protože zjištění změny z logické hodnoty 1 do logické hodnoty 0 trvá dva strojové cykly (tj. 24 period oscilátoru), je maximální rychlost přičítání rovna $1/24$ frekvence oscilátoru. Zvláštní požadavky na poměr doby trvání logické hodnoty 1 a logické hodnoty 0 vnějšího signálu nejsou, avšak musí se zajistit, aby daná úroveň byla vzorkovaná nejméně jednou, než se změní. To znamená, že musí zůstat beze změny alespoň jeden strojový cyklus.

Časovač 0 a časovač 1 lze využívat v jednom ze čtyř možných pracovních režimů (viz dále). Časovač 2 u obvodů 8052 má tři režimy činnosti: "záchytný" (capture), "samoplnící" (auto-reload) a "generátor přenosové rychlosti" (baud rate generator).

2.7.1 Časovač 0 a časovač 1

Tyto časovače/čítače jsou jak u obvodů 8051, tak u obvodů 8052. Funkce "časovač" nebo "čítač" se určí řídicím bitem C/ \bar{T} .

v registru speciálních funkcí TMOD, jehož struktura je znázorněna na obr. 12. Významy jednotlivých bitů registru TMOD jsou přehledně uvedeny v tabulce 6.



Obr. 12 Řídicí registr režimu časovače/čítače - TMOD

Významy bitů registru TMOD

Tabulka 6

Symbol	Význam												
GATE	<p>Řízení hradlování.</p> <p>Při GATE = 1 je časovač/čítač "x" povolen pouze tehdy, má-li špička "\overline{INTx}" logickou hodnotu 1 a je-li současně nastaven řídicí bit "TRx".</p> <p>Při GATE = 0 je časovač/čítač "x" povolen vždy, kdykoliv je nastaven řídicí bit "TRx".</p>												
C/ \bar{T}	<p>Výběr časovače nebo čítače.</p> <p>C/\bar{T} = 0 - činnost v režimu časovač (vstup z vnitřního zdroje hodin);</p> <p>C/\bar{T} = 1 - činnost v režimu čítač (vstup z vnějších špiček "Tx").</p>												
M1, MO	<p>Pracovní režim.</p> <table style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <thead> <tr> <th style="text-align: left; border-bottom: 1px solid black;">M1</th> <th style="text-align: left; border-bottom: 1px solid black;">MO</th> <th style="border-bottom: 1px solid black;"></th> </tr> </thead> <tbody> <tr> <td style="padding: 2px;">0</td> <td style="padding: 2px;">0</td> <td style="padding: 2px;">- časovač jako u obvodů 8048. "TLx" má funkci pětibitového předřazeného děliče.</td> </tr> <tr> <td style="padding: 2px;">0</td> <td style="padding: 2px;">1</td> <td style="padding: 2px;">- šestnáctibitový časovač/čítač. "THx" a "TLx" jsou spojeny do kaskády, předřazený dělič není.</td> </tr> <tr> <td style="padding: 2px;">1</td> <td style="padding: 2px;">0</td> <td style="padding: 2px;">- osmibitový samoplňací časovač/čítač. "THx" obsahuje (drží) hodnotu, kterou má být znovu naplněn "TLx" vždy, když přeteče.</td> </tr> </tbody> </table>	M1	MO		0	0	- časovač jako u obvodů 8048. "TLx" má funkci pětibitového předřazeného děliče.	0	1	- šestnáctibitový časovač/čítač. "THx" a "TLx" jsou spojeny do kaskády, předřazený dělič není.	1	0	- osmibitový samoplňací časovač/čítač. "THx" obsahuje (drží) hodnotu, kterou má být znovu naplněn "TLx" vždy, když přeteče.
M1	MO												
0	0	- časovač jako u obvodů 8048. "TLx" má funkci pětibitového předřazeného děliče.											
0	1	- šestnáctibitový časovač/čítač. "THx" a "TLx" jsou spojeny do kaskády, předřazený dělič není.											
1	0	- osmibitový samoplňací časovač/čítač. "THx" obsahuje (drží) hodnotu, kterou má být znovu naplněn "TLx" vždy, když přeteče.											

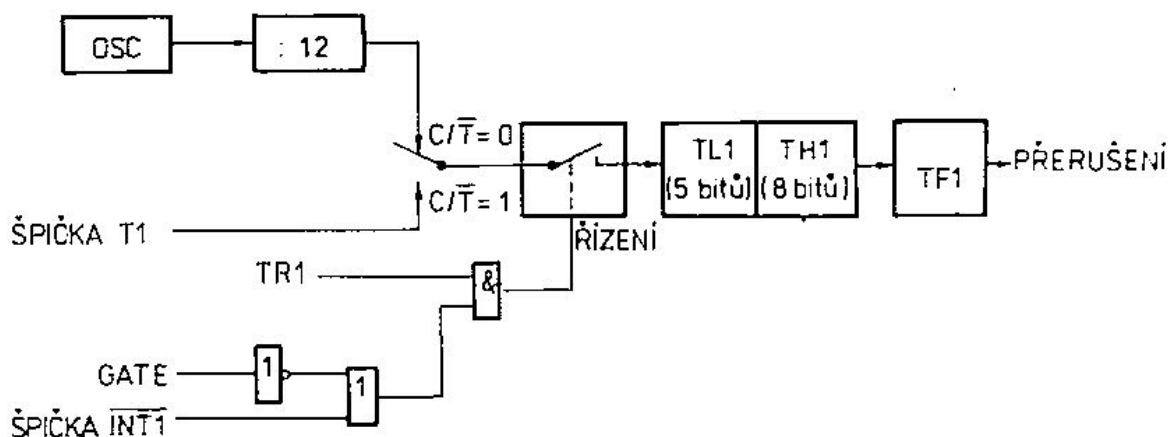
Tab. 6 - pokrač.

Symbol	Význam		
	M1	MO	
	1	1	- <u>časovač 0</u> : TLO je osmibitový časovač nebo čítač řízený standardními řídicími bity časovače 0.
	1	1	- <u>časovač 1</u> : Časovač/čítač 1 je zastaven.

Oba časovače/čítače mají čtyři pracovní režimy, které se volí dvojicí bitů M1 a MO v registru TMOD. Režimy 0, 1 a 2 jsou stejné pro oba časovače/čítače, režim 3 se liší.

2.7.1.1 Režim 0

Nastaví-li se časovač do režimu 0, vypadá jako časovač u obvodů 8048, tj. osmibitový časovač/čítač s předřazeným děličem 32. Použití režimu 0 u časovače 1 ukazuje obr. 13.



Obr. 13 Časovač/čítač 1, režim 0; třináctibitový čítač

V tomto režimu je registr časovače uspořádán jako třináctibitový registr. Přeteče-li registr ze samých jedniček na samé nuly, nastaví se příznak přerušení od časovače 1 - TF1.

Vstup čítaného průběhu do časovače je povolen tehdy, je-li $TR1 = 1$ a (současně) buď $GATE = 0$ nebo $\overline{INT1} = 1$. (Nastavení $GATE = 1$ dovoluje řízení časovače externím vstupem $\overline{INT1}$, což umožňuje měření šířky impulsu.) $TR1$ je řídicí bit v registru speciálních funkcí TCON, jehož struktura je na obr. 14 a významy jednotlivých bitů jsou v tabulce 7. Řídicí bit GATE je v registru TMOD.

(v. ř.) T C O N (n. ř.)

TF1	TR1	TFO	TRO	IE1	IT1	IE0	IT0
-----	-----	-----	-----	-----	-----	-----	-----

Obr. 14 Řídicí registr časovače/čítače - TCON

Významy bitů registru TCON

Tabulka 7

Symbol	Pozice	Název a význam
TF1	TCON.7	Příznak přetečení časovače 1 (<u>T</u> imer <u>1</u> overflow <u>F</u> lag). Nastavuje se hardwarově při přetečení časovače/čítače. Nuluje se hardwarově při přechodu procesoru do programu pro obsluhu přerušení.
TR1	TCON.6	Řídicí bit běhu časovače 1 (<u>T</u> imer <u>1</u> <u>R</u> un control bit). Nastavuje a nuluje se softwarově při spouštění a zastavování časovače/čítače.
TFO	TCON.5	Příznak přetečení časovače 0 (<u>T</u> imer <u>0</u> overflow <u>F</u> lag). Nastavuje se hardwarově při přetečení časovače/čítače. Nuluje se hardwarově při přechodu procesoru do programu pro obsluhu přerušení.

Tab. 7 - pokrač.

Symbol	Pozice	Název a význam
TRO	TCON.4	Řídicí bit běhu časovače 0 (<u>T</u> imer <u>0</u> <u>R</u> un control bit). Nastavuje a nuluje se softwarově při spouštění a zastavování časovače/čítače.
IE1	TCON.3	Příznak hrany přerušení 1 (<u>I</u> nterrupt <u>1</u> <u>E</u> dge flag). Nastavuje se hardwarově, detekuje-li se hrana vnějšího přerušení. Nuluje se při zpracování přerušení.
IT1	TCON.2	Řídicí bit typu přerušení 1 (<u>I</u> nterrupt <u>1</u> <u>T</u> ype control bit). Nastavuje i nuluje se softwarově a určuje sestupnou hranou/nízkou úrovní spouštěná vnější přerušení.
IE0	TCON.1	Příznak hrany přerušení 0 (<u>I</u> nterrupt <u>0</u> <u>E</u> dge flag). Nastavuje se hardwarově, detekuje-li se hrana vnějšího přerušení. Nuluje se při zpracování přerušení.
IT0	TCON.0	Řídicí bit typu přerušení 0 (<u>I</u> nterrupt <u>0</u> <u>T</u> ype control bit). Nastavuje i nuluje se softwarově a určuje sestupnou hranou/nízkou úrovní spouštěná vnější přerušení.

Třináctibitový registr je tvořen osmi bity TH1 a nižšími pěti bity TL1. Horní tři bity TL1 jsou nedefinované a jejich obsah se zanedbává. Nastavení příznaku běhu časovače (TR1) registry nenuluje.

Činnost v režimu 0 je stejná jak pro časovač 0, tak i pro časovač 1. V obr. 13 se pouze signály časovače 1 nahradí

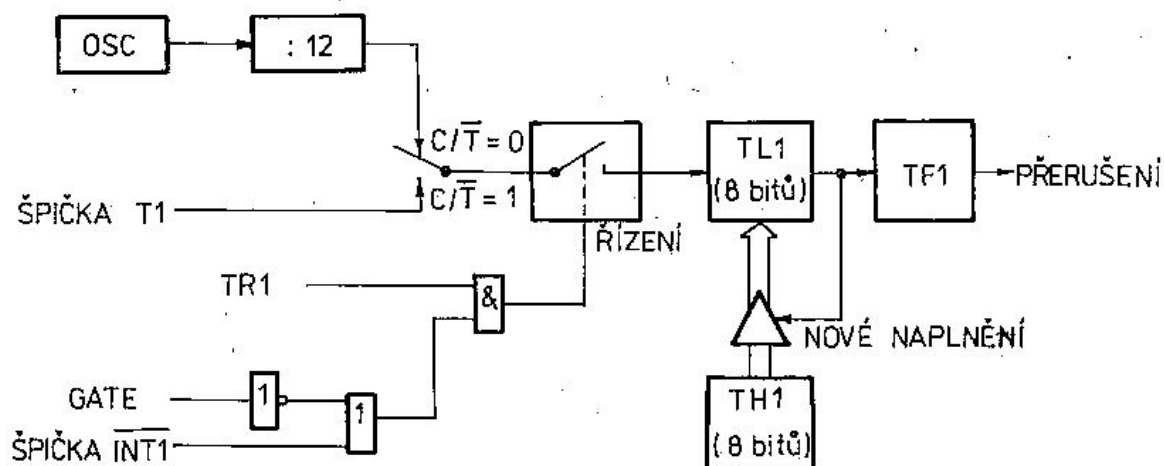
odpovídajícími signály TRO, $\overline{\text{INT0}}$ a TFO časovače 0. Je však nutné si uvědomit, že existují dva rozdílné bity GATE, jeden pro časovač 0 (TMOD.3) a jeden pro časovač 1 (TMOD.7).

2.7.1.2 Režim 1

Režim 1 je stejný jako režim 0 s tím rozdílem, že pro přičítání se využívá všech šestnácti bitů registrů časovače.

2.7.1.3 Režim 2

V režimu 2 pracuje registr časovače jako osmibitový čítač TL1 s automatickým novým naplněním, jak je znázorněno na obr. 15.



Obr. 15 Časovač/čítač 1, režim 2: osmibitový samoplňací čítač

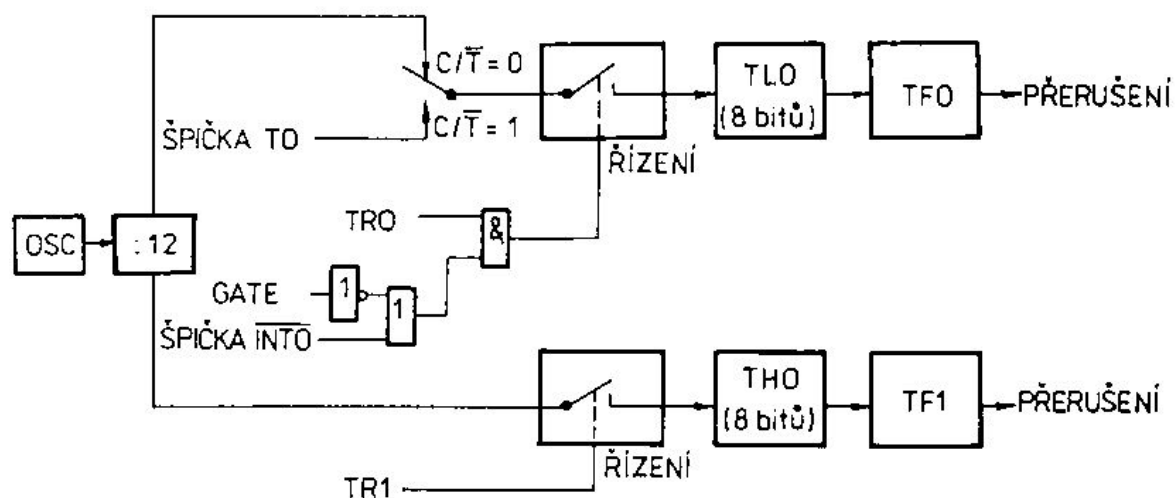
Přetečení z TL1 nastaví TF1 a současně také znovu naplní TL1 obsahem TH1, který je softwarově přednastaven. Novým naplněním TL1 se nezmění obsah TH1.

Režim 2 je stejný i pro časovač 0.

2.7.1.4 Režim 3

V tomto režimu si časovač 1, jednoduše řečeno, uchová načítanou hodnotu. Výsledek je stejný, jako při nastavení $TR1 = 0$ (tj. zastavení časovače 1).

Časovač 0 se v režimu 3 nastaví jako dva oddělené osmibitové čítače TLO a THO. Uspořádání časovače 0 v režimu 3 je na obr. 16.



Obr. 16 Časovač/čítač 0, režim 3: dva osmibitové čítače

TLO používá řídicí bity časovače 0 C/\bar{T} , GATE, TRO, $\overline{INT0}$ a TFO. THO má funkci časovače (čítání strojových cyklů), ovládá se prostřednictvím řídicího bitu TR1 a při přetečení nastává příznak TF1 časovače 1.

Režim 3 je určen pro aplikace, které vyžadují zvláštní osmibitový časovač nebo čítač. V tomto režimu jakoby obvody 8051 měly tři (obvody 8052 čtyři) časovače/čítače.

Pracuje-li časovač 0 v režimu 3, může časovač 1 sám sebe zapnout nebo vypnout přepnutím z režimu 3 nebo do režimu 3. Časovač 1 může být také stále používán u sériového portu jako generátor přenosové rychlosti nebo se může využít v jakékoliv aplikaci, která nevyžaduje přerušení.

2.7.2 Časovač 2

Časovač 2 je šestnáctibitový časovač/čítač a existuje pouze u obvodů 8052. Podobně jako časovače 0 a 1 může pracovat buď jako časovač nebo jako čítač vnějších událostí. Funkce se volí bitem C/T2 v registru speciálních funkcí T2CON. Jeho struktura je na obr. 17., významy jednotlivých bitů jsou uvedeny v tabulce 8.

(v. ř.) T 2 C O N (n. ř.)

TF2	EXF2	RCIK	TCLK	EXEN2	TR2	C/T2	CP/RI2
-----	------	------	------	-------	-----	------	--------

Obr. 17 Řídicí registr časovače/čítače 2 - T2CON

Významy bitů registru T2CON

Tabulka 8

Symbol	Pozice	Název a význam
TF2	T2CON.7	Příznak přetečení časovače 2 (<u>T</u> imer <u>2</u> overflow <u>F</u> lag). Nastavuje se při přetečení časovače 2 a musí být nulován softwarově. TF2 se nemůže nastavit, je-li RCIK = 1 nebo TCLK = 1.
EXF2	T2CON.6	Vnější příznak časovače 2 (<u>T</u> imer <u>2</u> <u>E</u> xternal <u>F</u> lag). Nastavuje se tehdy, je-li zachycení nebo znovunaplnění způsobeno zápornou změnou na T2EX a je-li EXEN2 = 1. Když je povoleno přerušeni od časovače 2, pak EXF2 = 1 způsobí, že CPU přejde do programu pro obsluhu přerušeni od časovače 2. EXF2 se musí nulovat softwarově.
RCIK	T2CON.5	Příznak hodin při příjmu (<u>R</u> eceive <u>C</u> lock flag).

Tab. 8 - pokrač.

Symbol	Pozice	Název a význam
		Je-li nastaven, pak sériový port v režimu 1 a 3 užije pro hodiny při příjmu impulsy přetečení časovače 2. Je-li RCLK = 0, pak se pro hodiny při příjmu použijí impulsy přetečení časovače 1.
TCLK	T2CON.4	Příznak hodin při vysílání (<u>T</u> ransmit <u>C</u> lock flag). Je-li nastaven, pak sériový port v režimu 1 a 3 užije pro hodiny při vysílání impulsy přetečení časovače 2. Je-li TCLK = 0, pak se pro hodiny při vysílání použijí impulsy přetečení časovače 1.
EXEN2	T2CON.3	Příznak vnějšího povolení časovače 2 (<u>T</u> imer <u>2</u> <u>E</u> xternal <u>E</u> n timer flag). Nastavení tohoto příznaku umožňuje, aby zachycení nebo nové naplnění nastalo jako výsledek záporné změny na T2EX, není-li časovač 2 použit jako zdroj hodin pro sériový port. Při EXEN2 = 0 časovač 2 ignoruje události na T2EX.
TR2	T2CON.2	Řízení spouštění/zastavování časovače 2 (Start/stop control for <u>T</u> imer <u>2</u>). Logická hodnota 1 časovač startuje.
C/ \overline{T} 2	T2CON.1	Volba časovače nebo čítače u časovače 2 (<u>T</u> imer or <u>C</u> ounter select - <u>T</u> imer <u>2</u>). 0 - vnitřní časovač (OSC/12) 1 - čítač vnějších událostí (spouští sestupná hrana)
CP/ \overline{RL} 2	T2CON.0	Příznak zachycení/znovunaplnění (<u>C</u> apture/ <u>R</u> eload flag).

Tab. 8 - pokrač.

Symbol	Pozice	Název a význam
		Nastavení příznaku dovoluje, aby se zachycení provedlo na zápornou změnu na T2EX, pokud EXEN2 = 1. Při $CP/\overline{RL2} = 0$ probíhá nové naplnění tehdy, přeteče-li časovač 2 nebo dojde-li k záporné změně na T2EX, pokud EXEN2 = 1. Je-li RCLK = 1 nebo TCLK = 1, je tento bit ignorován a časovač 2 se při přetečení znovu sám naplní.

Časovač 2 má tři pracovní režimy:

- záchytný;
- samoplňicí;
- generátor přenosové rychlosti.

Pracovní režimy se volí bity v T2CON tak, jak je uvedeno v tabulce 9.

Pracovní režimy časovače 2

Tabulka 9

RCLK + TCLK	$CP/\overline{RL2}$	TR2	Režim
0	0	1	šestnáctibitový samoplňicí
0	1	1	šestnáctibitový záchytný
1	X	1	generátor přenosové rychlosti
X	X	0	(časovač 2 zastaven)

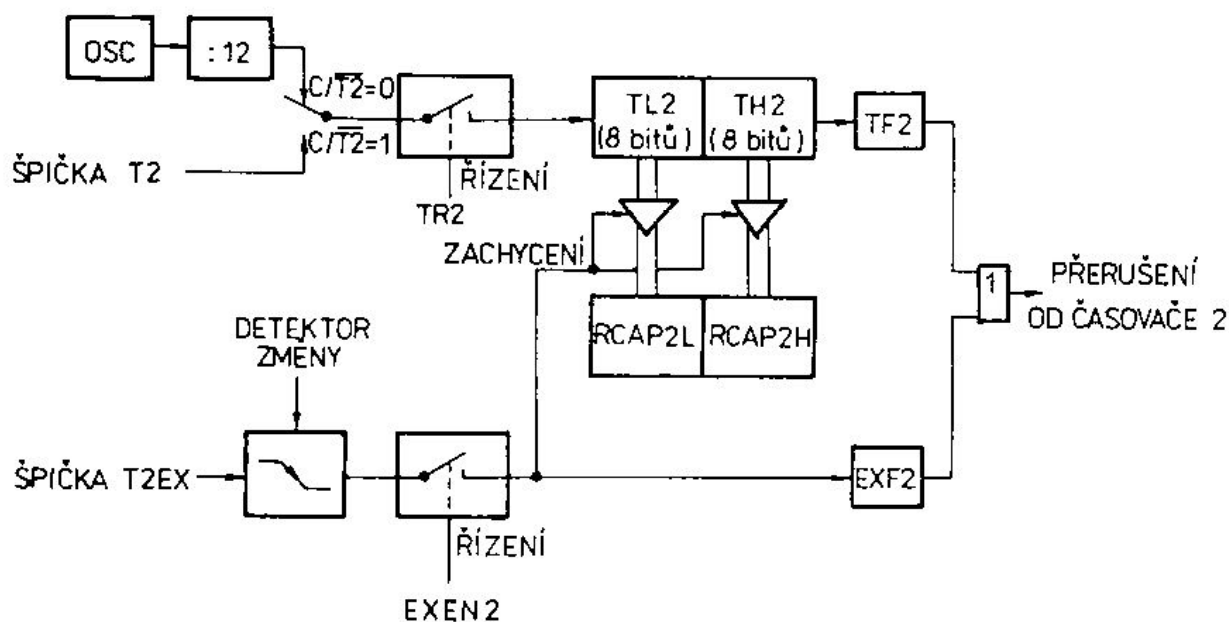
X označuje logickou hodnotu 0 nebo 1

V záchytném pracovním režimu existují dvě možnosti, které se volí bitem EXEN2 v řídicím registru T2CON. Pokud je EXEN2 = 0, pak časovač 2 pracuje jako šestnáctibitový časovač

nebo čítač, který při přetečení nastavuje příznakový bit přetečení časovače 2, tj. TF2. Tento příznak může být využit pro generování přerušení.

Je-li EXEN2 = 1, pak se časovač 2 chová stejně jako v předchozím případě, avšak změna z logické hodnoty 1 do logické hodnoty 0 na vnějším vstupu T2EX způsobí, že se okamžitá (současná) hodnota registrů časovače 2 (TL2 a TH2) zachytí do registrů RCAP2L a RCAP2H (tyto registry speciálních funkcí jsou pouze u obvodů 8052). Dále změna na vstupu T2EX nastaví bit EXF2 v řídicím registru T2CON. Příznak EXF2 lze (podobně jako příznak TF2) využít pro generování přerušení.

Záchytný pracovní režim časovače 2 je znázorněn na obrázku 18.

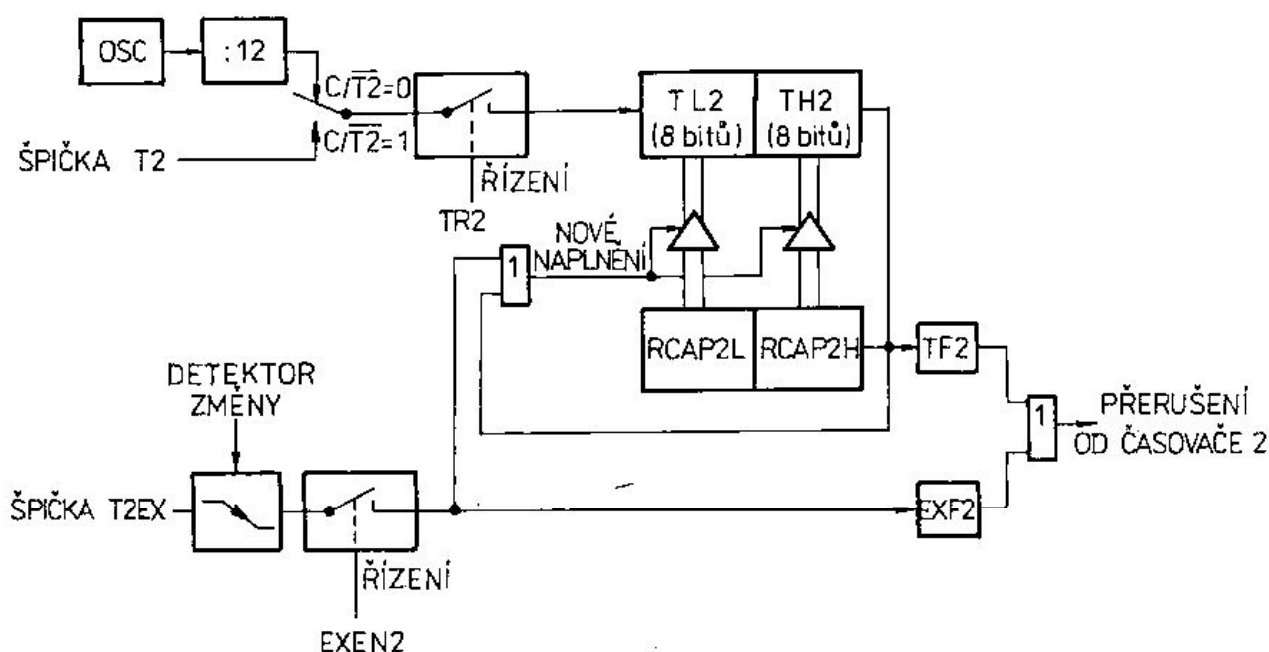


Obr. 18 Záchytný pracovní režim časovače 2

V samoplnicím pracovním režimu existují rovněž dvě možnosti v závislosti na logické hodnotě bitu EXEN2 v řídicím registru T2CON. Jestliže je EXEN2 = 0, pak se v případě přeplnění časovače 2 nastaví příznak TF2 a současně se registry časovače 2 naplní šestnáctibitovou hodnotou uloženou v registrech RCAP2L a RCAP2H. Přednastavení registrů se provádí softwarově.

Je-li $EXEN2 = 1$, pak pracuje časovač 2 stejně jako v předchozím případě, avšak navíc má další vlastnost, která umožňuje, aby přechod z logické hodnoty 1 do logické hodnoty 0 na vnějším vstupu $T2EX$ vyvolal nové naplnění všech šestnácti bitů časovače 2 a nastavení příznaku $EXF2$.

Samoplnící pracovní režim časovače 2 je znázorněn na obrázku 19.



Obr. 19 Samoplnící pracovní režim časovače 2

Režim, ve kterém pracuje časovač 2 jako generátor přenosové rychlosti, se volí nastavením $RCLK = 1$ a/nebo (logicky) $TCLK = 1$. Tato funkce bude popsána v souvislosti se sériovým portem.

2.8 Sériové rozhraní

Sériový port je plně duplexní, takže se může vysílat a přijímat současně. Má příjem s vyrovnávacími vlastnostmi, to

znamená, že s příjmem druhého bytu se může začít dříve než byl odebrán právě přijatý byte z přijímacího registru. (Nebude-li ovšem z přijímacího registru odebrán první byte do okamžiku přijetí úplného druhého bytu, pak se jeden z bytů ztratí.)

Přijímací a vysílací registry sériového portu jsou dostupné jako registr speciálních funkcí SBUF. Zápisem do SBUF se plní vysílací registr a čtením SBUF se čte fyzicky oddělený přijímací registr.

Sériový port může pracovat ve čtyřech režimech:

Režim 0: Sériová data vstupují a vystupují špičkou RXD. Špičkou TXD vystupují hodiny posuvu. Vysílá nebo přijímá se osm datových bitů (nejméně významné bity nejdříve). Přenosová rychlost je pevná a je rovna $1/12$ frekvence oscilátoru.

Režim 1: Vysílá se deset bitů (přes špičku TXD), přijímá se deset bitů (přes špičku RXD): start bit (logická hodnota 0), osm datových bitů (nejméně významné bity jako první) a stop bit (logická hodnota 1). Při příjmu se stop bit ukládá do bitu RB8 v registru speciálních funkcí SCON. Přenosová rychlost je proměnná.

Režim 2: Vysílá se jedenáct bitů (přes špičku TXD), přijímá se jedenáct bitů (přes špičku RXD): start bit (logická hodnota 0), osm datových bitů (nejméně významné bity nejdříve), programovatelný devátý datový bit a stop bit (logická hodnota 1). Při vysílání může devátý datový bit (tj. bit TB8 v SCON) nabýt logické hodnoty 0 nebo 1. Do bitu TB8 lze například přesunout hodnotu paritního bitu (P v PSW). Při příjmu se devátý datový bit ukládá do bitu RB8 v registru speciálních funkcí SCON a stop bit se ignoruje. Přenosová rychlost je proměnná a je programovatelná buď na $1/32$ nebo $1/64$ frekvence oscilátoru.

Režim 3: Vysílá se (přes špičku TXD) nebo přijímá se (přes špičku RXD) jedenáct bitů: start bit (logická hodnota 0), osm datových bitů (nejméně významné bity jako první), programovatelný devátý datový bit a stop bit (logická hodnota 1). Režim 3 je ve všem stejný jako režim 2 s výjimkou přenosové rychlosti, která je v režimu 3 proměnná.

Ve všech čtyřech režimech se vysílání spouští instrukcí, která užívá SBUF jako cílový registr.

Příjem se v režimu 0 spouští podmínkou $RI = 0$ a $REN = 1$. V ostatních režimech se příjem spouští příchodem startovacího bitu, je-li $REN = 1$.

2.8.1 Víceprocesorová komunikace

Režim 2 a režim 3 mají speciální prostředky pro víceprocesorovou komunikaci. V těchto režimech se přijímá devět datových bitů, přičemž devátý bit se přesouvá do bitu RBS v řídicím registru sériového portu (SCON). Pak přichází stop bit. Port lze naprogramovat tak, že se při příjmu stop bitu aktivuje přerušování od sériového portu pouze tehdy, je-li logická hodnota $RBS = 1$. Tato vlastnost se povoluje nastavením bitu SM2 v registru SCON. Ve víceprocesorových systémech lze této možnosti využít dále popsáním způsobem.

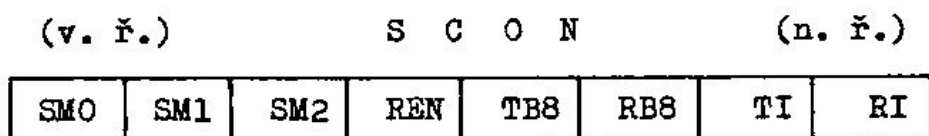
Chce-li hlavní (master) procesor přenášet do jednoho z podřízených (slave) procesorů blok dat, vyšle nejdříve adresový byte, který identifikuje cílový satelitní procesor. Adresový byte se liší od datového bytu logickou hodnotou právě v devátém bitu. U adresového bytu je v devátém bitu logická hodnota 1, zatímco datový byte obsahuje v devátém bitu logickou hodnotu 0. Je-li logická hodnota $SM2 = 1$, pak nebude žádný satelitní procesor přerušován datovým bytem, avšak adresový byte přerušuje všechny podřízené procesory. Prozkoumáním přijatého bytu může každý satelitní procesor zjistit, zda je adresován.

Adresovaný podřízený procesor vynuluje bit SM2 a připraví se k příjmu datových bytů, které přijdou. Ten podřízený procesor, který nebyl adresován, ponechá svůj bit SM2 nastaven a pokračuje v původní činnosti před přerušением, přičemž ignoruje přicházející datové byty.

Bit SM2 se neuplatňuje v režimu 0. V režimu 1 může být využit pro kontrolu platnosti stop bitu, neboť v režimu 1, je-li logická hodnota SM2 = 1, se nevybudí přerušení při příjmu do té doby, dokud se nepřijme platný stop bit.

2.8.2 Řídící registr sériového portu

Řídící a stavový registr sériového portu je registr speciálních funkcí SCON a jeho struktura je na obr. 20. Významy jednotlivých bitů jsou přehledně uvedeny v tabulce 10.



Obr. 20 Řídící registr sériového portu - SCON

Významy bitů registru SCON

Tabulka 10

Symbol	Pozice	Význam																												
SM0	SCON.7	Určení režimu sériového portu. <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>SM0</th> <th>SM1</th> <th>Režim</th> <th>Popis</th> <th>Přenosová rychlost</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>posuv. reg.</td> <td>$f_{OSC}/12$</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>8-bitový UART</td> <td>proměnná</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">2</td> <td>9-bitový UART</td> <td>$f_{OSC}/64$ nebo $f_{OSC}/32$</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">3</td> <td>9-bitový UART</td> <td>proměnná</td> </tr> </tbody> </table>				SM0	SM1	Režim	Popis	Přenosová rychlost	0	0	0	posuv. reg.	$f_{OSC}/12$	0	1	1	8-bitový UART	proměnná	1	0	2	9-bitový UART	$f_{OSC}/64$ nebo $f_{OSC}/32$	1	1	3	9-bitový UART	proměnná
SM0	SM1					Režim	Popis	Přenosová rychlost																						
0	0					0	posuv. reg.	$f_{OSC}/12$																						
0	1					1	8-bitový UART	proměnná																						
1	0					2	9-bitový UART	$f_{OSC}/64$ nebo $f_{OSC}/32$																						
1	1	3	9-bitový UART	proměnná																										
SM1	SCON.6																													

Tab. 10 - pokrač.

Symbol	Pozice	Význam
SM2	SCON.5	Povolení víceprocesorové komunikace v režimu 2 a 3. Je-li v režimu 2 a 3 logická hodnota bitu SM2 = 1, pak se RI neaktivuje, pokud přijatý devátý bit (RB8) má logickou hodnotu 0. V režimu 1, je-li SM2 = 1, se RI neaktivuje, nebyl-li přijat platný stop bit. V režimu 0 má být logická hodnota SM2 = 0.
REN	SCON.4	Povolení sériového příjmu. Pro povolení/zakázání příjmu se nastavuje/nuluje tento bit softwarově.
TB8	SCON.3	Devátý datový bit při vysílání. Vysílá se v režimu 2 a 3, nastavuje a nuluje se podle potřeby softwarově.
RB8	SCON.2	Devátý datový bit při příjmu. Přijímá se v režimu 2 a 3. V režimu 1, je-li logická hodnota SM2 = 0, obsahuje RB8 přijatý stop bit. V režimu 0 se RB8 nepoužívá.
TI	SCON.1	Příznak přerušení při vysílání. V režimu 0 se nastavuje hardwarově na konci doby osmého bitu, v ostatních režimech se nastavuje při libovolném sériovém přenosu na začátku stop bitu. Musí se nulovat softwarově.
RI	SCON.0	Příznak přerušení při příjmu. V režimu 0 se nastavuje hardwarově na konci doby osmého bitu, v ostatních režimech se nastavuje (výjimky viz popis bitu SM2) při libovolném sériovém přenosu uprostřed intervalu stop bitu. Musí se nulovat softwarově.

Tento registr obsahuje jak bity pro výběr režimu činnosti sériového portu, tak i devátý bit pro vysílání a příjem (TB8 a RB8) a bity přerušeni od sériového portu (TI a RI).

2.8.3 Přenosové rychlosti

V režimu 0 je přenosová rychlost pevná:

$$\text{Režim 0: přenosová rychlost} = \frac{\text{frekvence osilátoru}}{12}$$

V režimu 2 závisí přenosová rychlost na hodnotě bitu SMOD v registru speciálních funkcí PCON (viz článek 2.12.2). Je-li logická hodnota SMOD = 0 (což je hodnota po provedení funkce RESET), je přenosová rychlost rovna 1/64 frekvence oscilátoru. V případě SMOD = 1 je přenosová rychlost rovna 1/32 frekvence oscilátoru.

$$\text{Režim 2: přenosová rychlost} = \frac{2^{\text{SMOD}}}{64} \times (\text{frekvence osc.})$$

U obvodů 8051 jsou přenosové rychlosti v režimech 1 a 3 určeny četností přetečení časovače 1. U obvodů 8052 je možné určit přenosovou rychlost časovačem 1 nebo časovačem 2 nebo oběma (jedním pro vysílání a druhým pro příjem).

2.8.3.1 Použití časovače 1 pro generování přenosové rychlosti

Použije-li se časovač 1 jako generátor přenosové rychlosti, je přenosová rychlost v režimech 1 a 3 určena četností přetečení časovače 1 a logickou hodnotou bitu SMOD takto:

$$\text{Režim 1 a 3: přenosová rychlost} = \frac{2^{\text{SMOD}}}{32} \times (\text{rychlost přetečení čas. 1})$$

Při této aplikaci je přerušeni od časovače 1 zakázáno až na výjimku uvedenou dále. Časovač sám může být použit buď jako "časovač" nebo jako "čítač vnějších událostí" v kterémkoliv ze tří (0, 1 nebo 2) režimů. Nejčastěji se užívá jako

osmibitový "časovač" v samoplňicím režimu (vyšší řády registru TMOD obsahují hodnotu 0010B). V tomto případě je přenosová rychlost dána vztahem

Režim 1 a 3:

$$\text{přenosová rychlost} = \frac{2^{\text{SMOD}}}{32} \times \frac{\text{frekvence oscilátoru}}{12 \times (256 - \langle \text{TH1} \rangle)}$$

kde symbol $\langle \text{TH1} \rangle$ označuje obsah registru TH1 v časovači 1.

Chceme-li časovačem 1 dosáhnout velmi nízkou přenosovou rychlost, povolíme od tohoto časovače přerušeni a spustíme ho v režimu šestnáctibitového časovače (vyšší řády registru TMOD obsahují hodnotu 0001B). Po vzniku přerušeni softwarově znovu naplníme potřebnou šestnáctibitovou hodnotu do registrů časovače 1.

Seznam různých obecně užívaných přenosových rychlostí spolu s návodem, jak lze tyto rychlosti časovačem 1 získat, je přehledně uveden v tabulce 11.

2.8.3.2 Použití časovače 2 pro generování přenosové rychlosti

U obvodů 8052 se volba časovače 2 jako generátoru přenosové rychlosti provede nastavením bitu TCLK = 1 nebo RCLK = 1 v registru speciálních funkcí T2CON (viz obr. 17). Je možné, aby se přenosová rychlost při vysílání lišila od přenosové rychlosti současně probíhajícího příjmu. Nastavením TCLK a/nebo (logicky) RCLK se časovač 2 uvede do režimu, kdy pracuje jako generátor přenosové rychlosti. Tato situace je znázorněna na obr. 21.

Režim generátor přenosové rychlosti je podobný samoplňicímu režimu, ve kterém přeplnění registru TH2 způsobí, že se registry časovače 2 znovu naplní šestnáctibitovou hodnotou uloženou v registrech RCAP2H a RCAP2L. Obsah těchto registrů se musí přednastavit softwarově.

Obecně užívané přenosové rychlosti
generované časovačem 1

Tabulka 11

Přenosová rychlost [Bd]	f_{OSC}	SMOD	Č A S O V A Č 1		
			C/T	Režim	Hodnota pro opětné naplnění
<u>Režim 0:</u> max. 1M	12 MHz	X	X	X	X
<u>Režim 2:</u> max. 375k	12 MHz	1	X	X	X
<u>Režim 1 a 3:</u>					
62,5k	12 MHz	1	0	2	FFH
19,2k	11,059 MHz	1	0	2	FDH
9,6k	11,059 MHz	0	0	2	FDH
4,8k	11,059 MHz	0	0	2	FAH
2,4k	11,059 MHz	0	0	2	F4H
1,2k	11,059 MHz	0	0	2	B8H
137,5	11,986 MHz	0	0	2	1DH
110	6 MHz	0	0	2	72H
110	12 MHz	0	0	1	FE8BH

X označuje logickou hodnotu 0 nebo 1

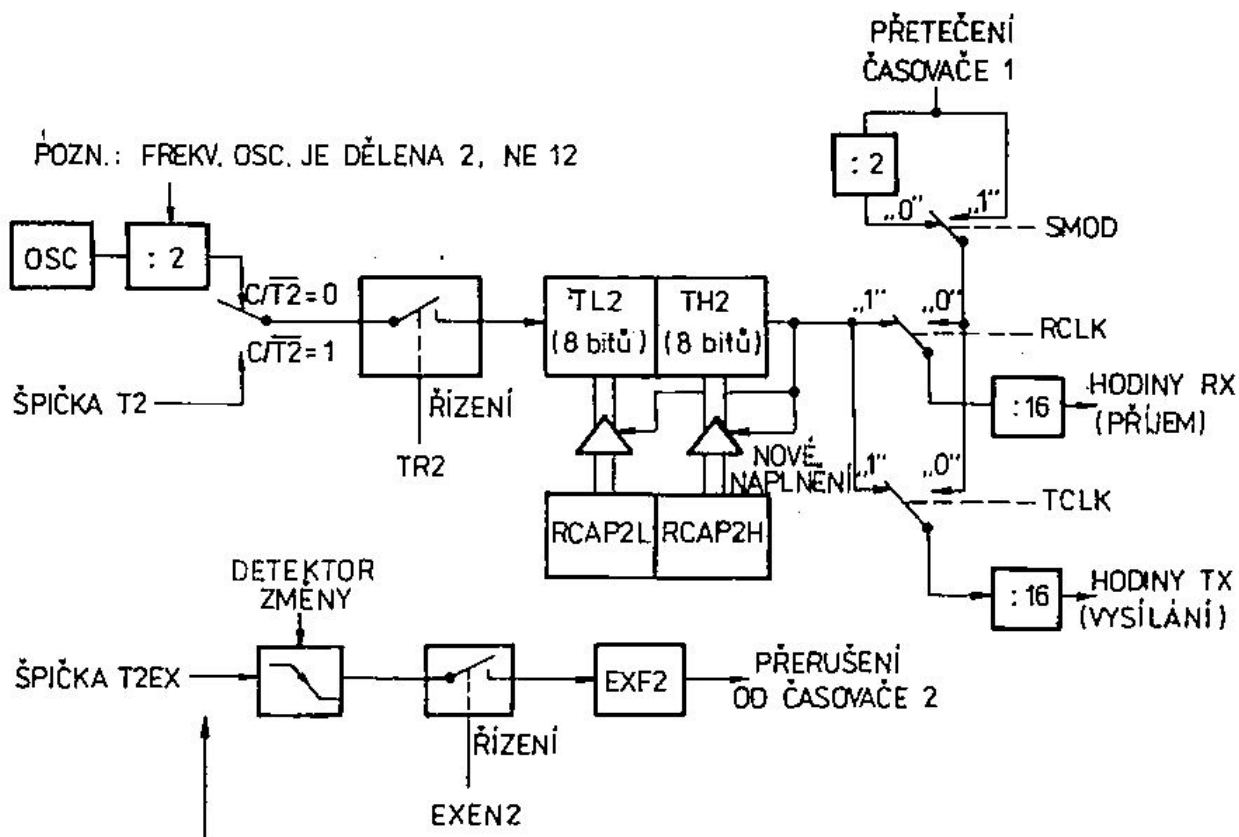
Přenosová rychlost v režimu 1 a 3 je určena rychlostí přetečení časovače 2 takto:

Režim 1 a 3:

přenosová rychlost = $\frac{\text{rychlost přetečení časovače 2}}{16}$

16

Časovač 2 se může nastavit buď jako "časovač" nebo jako "čítač vnějších událostí". Nejčastěji se v aplikacích používá jako "časovač" ($C/T2 = 0$). Činnost "časovače" se v režimu generátor přenosové rychlosti poněkud odlišuje od běžné činnosti časovače. Normálně je časovač inkrementován při každém strojovém cyklu, tj. s frekvencí rovnou 1/12 frekvence oscilátoru.



Obr. 21 Časovač 2 jako generátor přenosové rychlosti

Jako generátor přenosové rychlosti se však inkrementuje při každém stavu, tj. s frekvencí rovnou 1/2 frekvence oscilátoru. V tomto případě je přenosová rychlost určena vztahem

Režim 1 a 3:

$$\text{přenosová rychlost} = \frac{\text{frekvence oscilátoru}}{32 \times (65536 - \langle \text{RCAP2H}, \text{RCAP2L} \rangle)}$$

kde symbol $\langle \text{RCAP2H}, \text{RCAP2L} \rangle$ označuje obsah registrů RCAP2H a RCAP2L chápaný jako celé číslo bez znaménka.

Uspořádání časovače 2 jako generátoru přenosové rychlosti na obr. 21 platí pouze za předpokladu, že v registru speciálních funkcí T2CON má bit RCLK nebo TCLK logickou hodnotu 1.

Potom přetečení registru TH2 nenastaví příznak TF2 a nebude se generovat přerušeni. Proto, pracuje-li časovač 2 v režimu generátor přenosové rychlosti, nemusí být přerušeni od časovače 2 zakázáno.

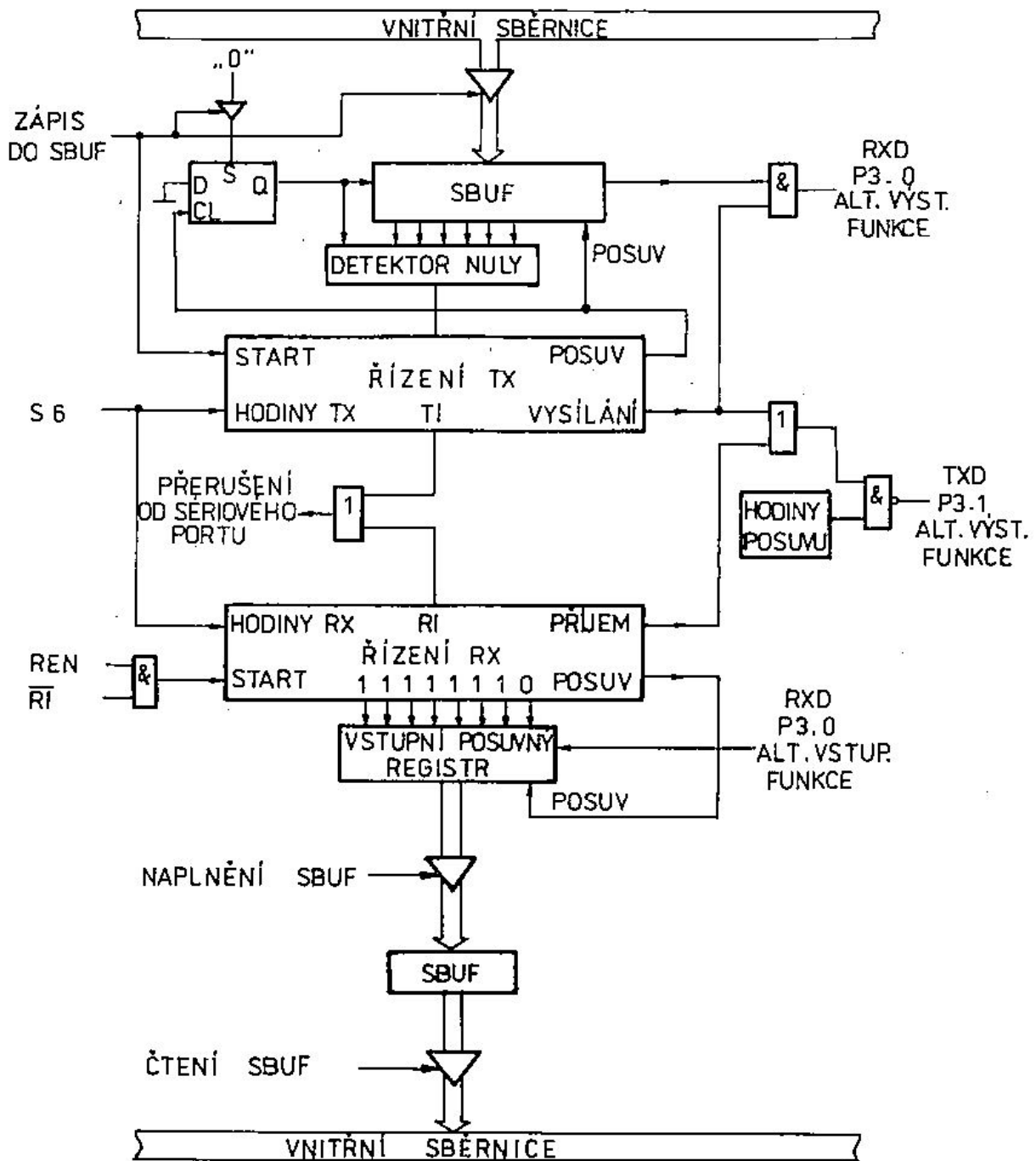
Všimněme si také, že je-li nastaven EXEN2, pak změna z logické hodnoty 1 do logické hodnoty 0 na špičce T2EX sice nastaví příznak EXF2, avšak nezpůsobí nové naplnění registrů TH2 a TL2 hodnotou obsaženou v registrech RCAP2H a RCAP2L. Použijeme-li časovač 2 v režimu generátor přenosové rychlosti, lze špičku T2EX v případě potřeby využít jako další vnější přerušeni.

Pokud běží časovač 2 (signál TR2 = 1) ve funkci "časovače" v režimu generátor přenosové rychlosti, nemělo by se číst ani zapisovat do registrů TH2 nebo TL2. Za těchto podmínek se totiž obsah časovače zvyšuje o jedničku v každém stavu, a proto výsledky čtení nebo zápisu nemusí být přesné. Registry RCAP se mohou číst, avšak nemělo by se do nich zapisovat, protože zápis může překrýt znovunaplnění a tím může vzniknout chyba v zápisu nebo při samoplňení. V takovém případě je proto zapotřebí nejdříve časovač zastavit (vynulováním TR2) a teprve potom provádět manipulaci s časovačem 2 nebo s registry RCAP.

2.8.4 Popis režimu 0

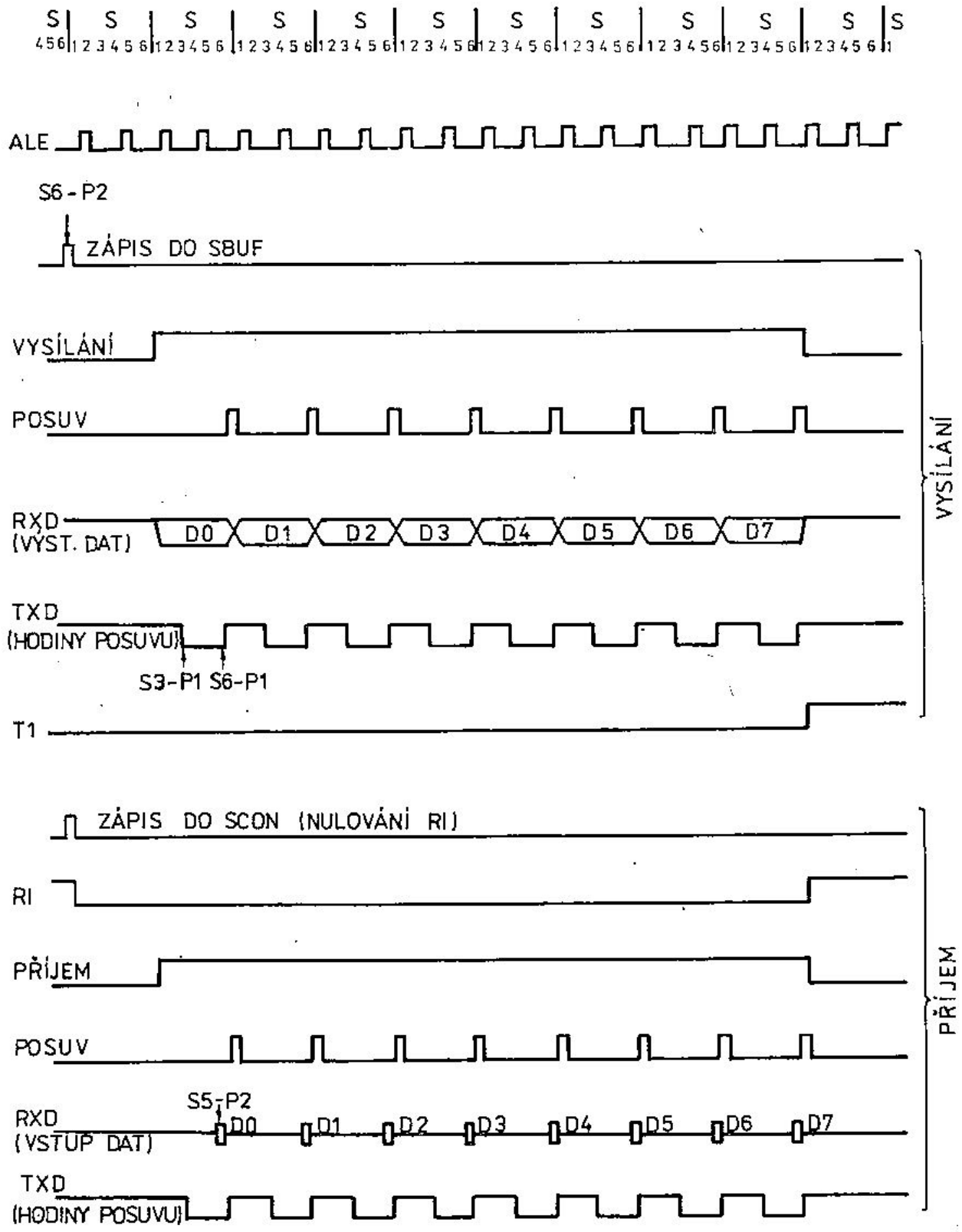
Sériová data vstupují nebo vystupují špičkou RXD. Špičkou TXD vystupují hodiny posuvu. Vysílá nebo přijímá se osm datových bitů (nejméně významné bity jako první). Přenosová rychlost je pevná a je rovna 1/12 frekvence oscilátoru.

Na obr. 22 je zjednodušený funkční diagram sériového portu v režimu 0 spolu s odpovídajícím časovým diagramem. Vysílání se zahajuje kteroukoliv instrukcí, která používá registr speciálních funkcí SBUF jako cílový registr. Signál "ZÁPIS DO SBUF" v době S6-P2 dává logickou hodnotu 1 do deváté bitové pozice vysílacího posuvného registru a oznamuje řídicímu bloku TX, že může začít s přenosem. Vnitřní časování probíhá tak, že se potlačí celý jeden strojový cyklus mezi vydáním signálu



a)

Obr. 22 Sériový port v režimu 0
a) funkční diagram



Obr. 22 Sériový port v režimu 0
b) časový diagram

"ZÁPIS DO SBUF" a aktivací signálu "VYSÍLÁNÍ". Signál "VYSÍLÁNÍ" povoluje výstup posuvného registru na špičku P3.0 (při její alternativní výstupní funkci) a rovněž povoluje výstup signálu "HODINY POSUVU" na špičku P3.1 (při její alternativní výstupní funkci). Signál "HODINY POSUVU" je na úrovni logické 0 během S3, S4 a S5 každého strojového cyklu a na úrovni logické 1 během stavů S6, S1 a S2. V době S6-P2 každého strojového cyklu, ve kterém je signál "VYSÍLÁNÍ" aktivní, je obsah vysílacího posuvného registru posouván doprava o jednu bitovou pozici.

Postupně, jak se datové bity vysouvají doprava, přicházejí zleva nuly. Jakmile je nejvýznamnější bit datového bytu ve výstupní pozici posuvného registru, pak je jednička, která byla na počátku uložena do deváté pozice, právě na místě nejvýznamnějšího bitu a všechny bity dále doleva obsahují nuly. Příznak tohoto stavu sděluje řídicímu bloku TX, aby udělal poslední posuv, který zruší vydávání signálu "VYSÍLÁNÍ" a nastaví signál TI. Obě tyto akce proběhnou v době S1-P1 v desátém strojovém cyklu po vydání signálu "ZÁPIS DO SBUF".

Příjem se spouští při splnění podmínek $REN = 1$ a $RI = 0$. V době S6-P2 následujícího strojového cyklu zapíše řídicí jednotka RX bity 11111110 do přijímacího posuvného registru a v další fázi hodin aktivuje signál "PŘÍJEM".

Signál "PŘÍJEM" povoluje výstup signálu "HODINY POSUVU" na špičku P3.1 (při její alternativní výstupní funkci). Signál "HODINY POSUVU" mění svoji hodnotu v dobách S3-P1 a S6-P1 každého strojového cyklu. V době S6-P2 každého strojového cyklu, ve kterém je aktivní signál "PŘÍJEM", se obsah přijímacího posuvného registru posouvá doleva o jednu pozici. Hodnota přicházející zprava je hodnota, která byla vyvzorkována na špičce P3.0 v době S5-P2 téhož strojového cyklu.

Postupně, jak přicházejí bity zprava, vysouvají se jedničky doleva. Jakmile se nula, která byla na počátku uložena do pozice nejvíce vpravo, dostane v posuvném registru co nejvíce doleva, vznikne příznak pro řídicí jednotku RX, aby provedla

poslední posuv a naplnila SBUF. V době S1-P1 desátého strojového cyklu po zápisu do SCON (s vynulováním signálu RI) se ukončí (tj. vynuluje) signál "PŘÍJEM" a nastaví se do logické hodnoty 1 signál RI.

2.8.5 Popis režimu 1

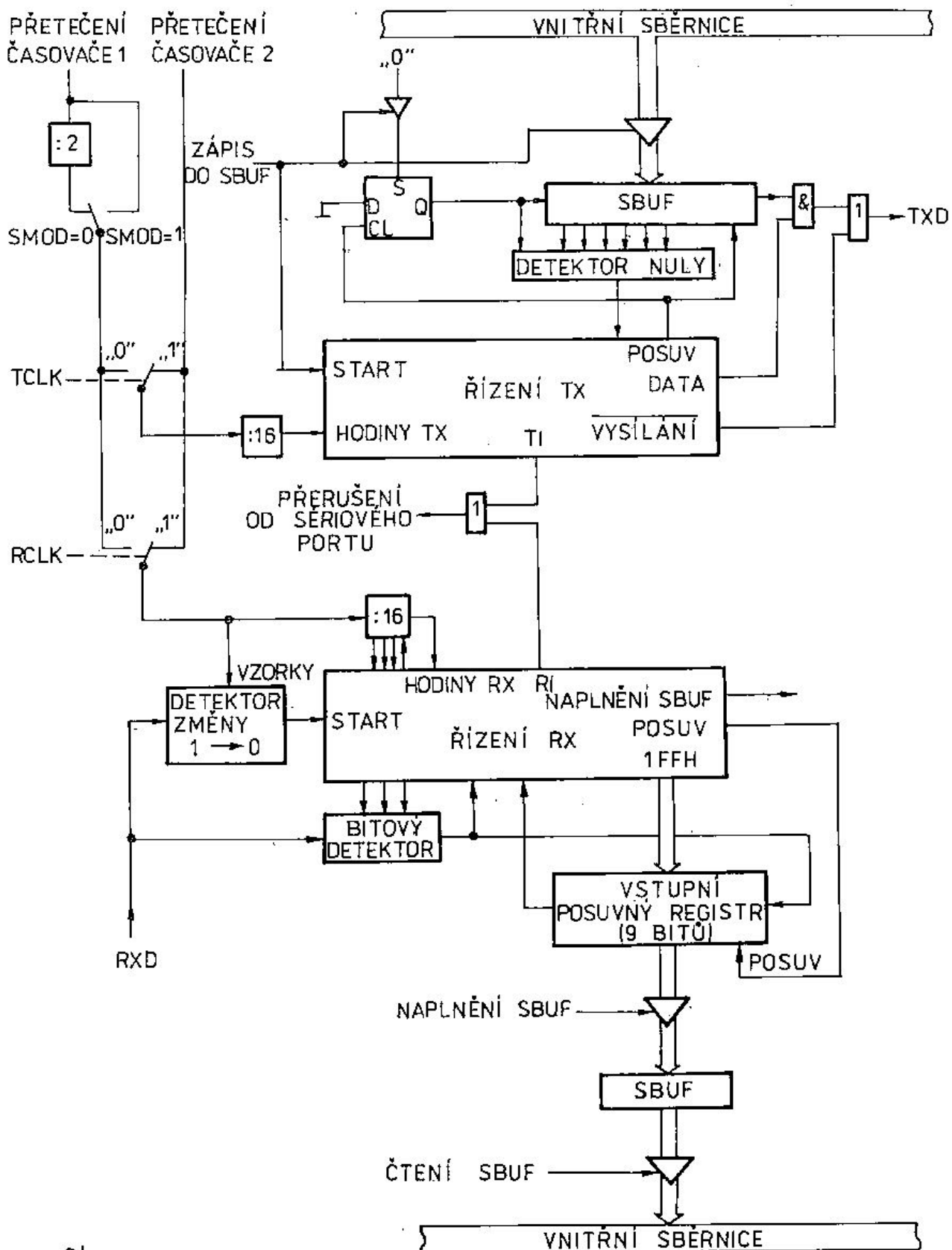
Deset bitů se vysílá (přes špičku TXD) nebo přijímá (přes špičku RXD): start bit (logická hodnota 0), osm datových bitů (nejméně významné bity jako první) a stop bit (logická hodnota 1). Při příjmu se ukládá stop bit do bitu RB8 v registru SCON. U obvodů 8051 je přenosová rychlost určena četností přetečení časovače 1, u obvodů 8052 buď četností přetečení časovače 1 nebo četností přetečení časovače 2 nebo oběma (jednou pro vysílání a druhou pro příjem).

Na obr. 23 je zjednodušený funkční diagram sériového portu v režimu 1 spolu s odpovídajícím časovým diagramem pro vysílání a příjem.

Vysílání se spouští kteroukoliv instrukcí, která užívá registr speciálních funkcí SBUF jako cílový registr. Signál "ZÁPIS DO SBUF" dává logickou hodnotu 1 do deváté bitové pozice vysílacího posuvného registru a současně dává příznak pro řídicí jednotku TX, že se požaduje vysílání. Vysílání skutečně začíná v době S1-P1 toho strojového cyklu, kdy vznikne další impuls na výstupu čítače děleno šestnácti. (Časování přenosu bitů je synchronizováno s čítačem děleno šestnácti a ne se signálem "ZÁPIS DO SBUF".)

Vlastní vysílání začíná vydáním signálu "VYSÍLÁNÍ", který přesouvá start bit na špičku TXD. Po uplynutí doby jednoho bitu se začne vydávat signál "DATA", který povoluje výstup bitů z vysílacího posuvného registru na špičku TXD. První posouvací impuls vznikne až po vyslání jednoho datového bitu (DO).

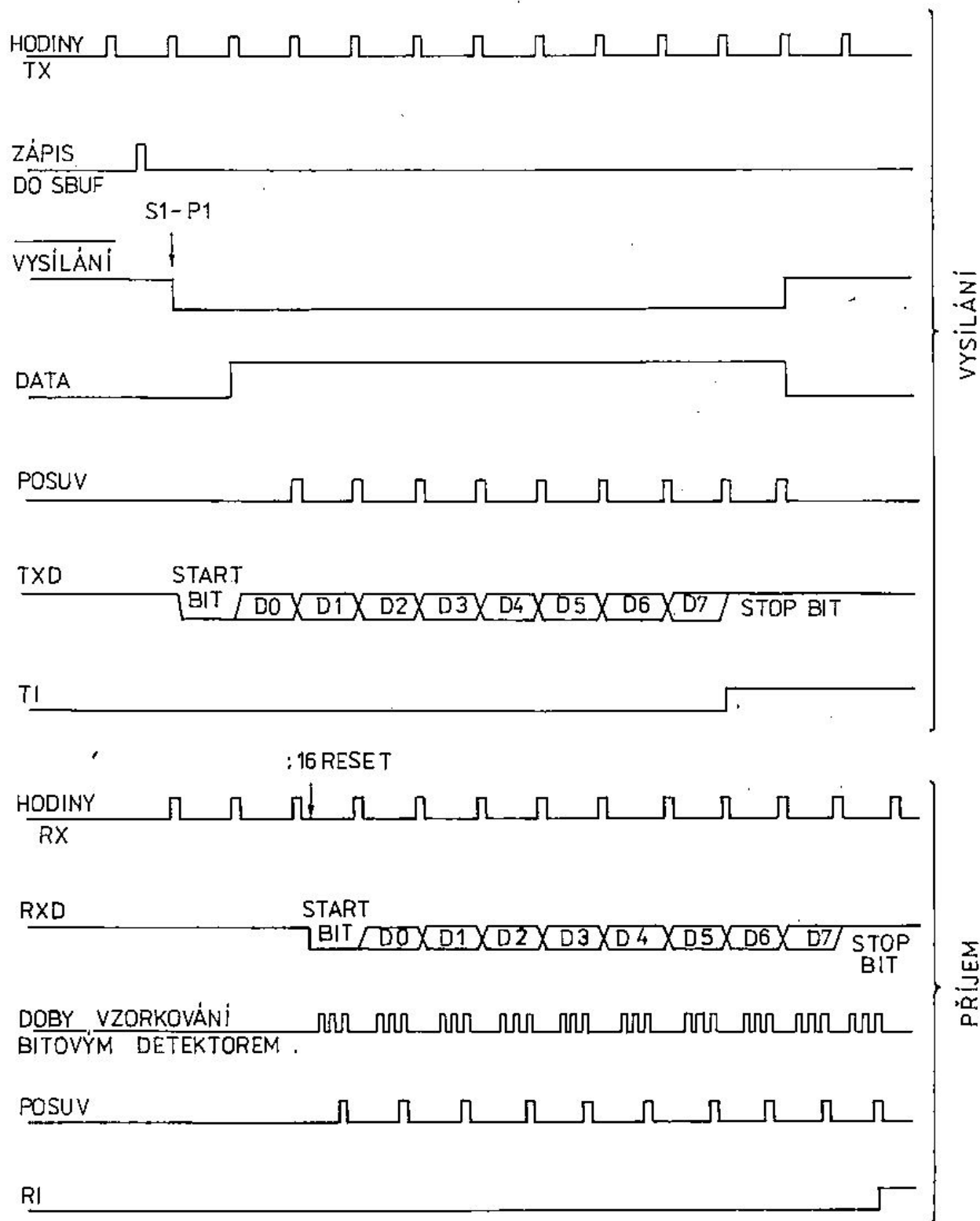
Postupně, jak se datové bity vysouvají doprava, přicházejí zleva nuly. Jakmile je nejvýznamnější bit datového bytu ve výstupní pozici, pak je jednička, která byla na počátku uložena



a)

Obr. 23 Sériový port v režimu 1

a) funkční diagram (Poznámka: časovač 2 a signály CLK a RCLK jsou pouze u obvodů 8052.)



b)

Obr. 23 Sériový port v režimu 1
b) časový diagram

do deváté bitové pozice, právě na místě nejvýznamnějšího bitu a všechny bity dále doleva obsahují nuly. Příznak tohoto stavu sděluje řídicí jednotce TX, aby provedla poslední posuv. Pak se přestane vydávat signál "VYSÍLÁNÍ" a začne se vydávat signál TI. To proběhne po desátém přetečení čítače děleno šestnácti po vzniku signálu "ZÁPIS DO SBUF".

Příjem se zahajuje po zjištění změny z logické hodnoty 1 do logické hodnoty 0 na špičce RXD. Pro tento účel se špička RXD vzorkuje s frekvencí šestnáctkrát větší než je nastavená přenosová rychlost. Po zjištění změny se okamžitě nuluje čítač děleno šestnácti (RESET) a do vstupního posuvného registru se zapíše hodnota LFFH. Vynulování čítače děleno šestnácti způsobí, že se výstupní impulsy čítače srovnají s hranicemi intervalů určených pro přicházející bity.

Šestnáct stavů čítače dělí každou dobu bitu na šestnáct intervalů. V každém sedmém, osmém a devátém intervalu doby bitu vzorkuje bitový detektor hodnotu na špičce RXD. Za platnou hodnotu je považována ta, která se zjistila ve dvou ze tří vzorků. Toto vzorkování se provádí z důvodu potlačení vlivu šumu. Není-li během doby prvního bitu přijata logická hodnota 0 (start bit), přijímací obvody se vynulují a jednotka opět přechází na hledání další změny z logické hodnoty 1 do logické hodnoty 0. Toto opatření zabraňuje detekci falešného start bitu. Je-li start bit platný, posune se do vstupního posuvného registru a příjem zbytku znaku bude pokračovat.

Postupně, jak zprava přicházejí datové bity, přesouvají se jedničky doleva. Jakmile se start bit objeví v posuvném registru v bitu nejvíce vlevo (což je v režimu 1 devátý bit registru), pak tento příznak sděluje řídicímu bloku RX, aby provedl poslední posuv, naplnil SBUF a bit RB8 a vydal signál RI. Signál pro naplnění SBUF a bitu RB8 a pro vydání signálu RI se bude generovat pouze tehdy a jen tehdy, budou-li v době generování posledního posouvacího impulsu splněny tyto podmínky:

1. RI = 0 a
2. buď SM2 = 0 nebo přijatý stop bit = 1.

Není-li některá z těchto podmínek splněna, je přijatý znak nenahraditelně ztracen. Při splnění obou podmínek se logická hodnota stop bitu přesune do bitu RB8, osm datových bitů se přesune do SBUF a vydá se signál RI. Od tohoto okamžiku, ať jsou výše uvedené podmínky splněny nebo ne, čeká řídicí jednotka opět na změnu z logické hodnoty 1 do logické hodnoty 0 na špičce RXD.

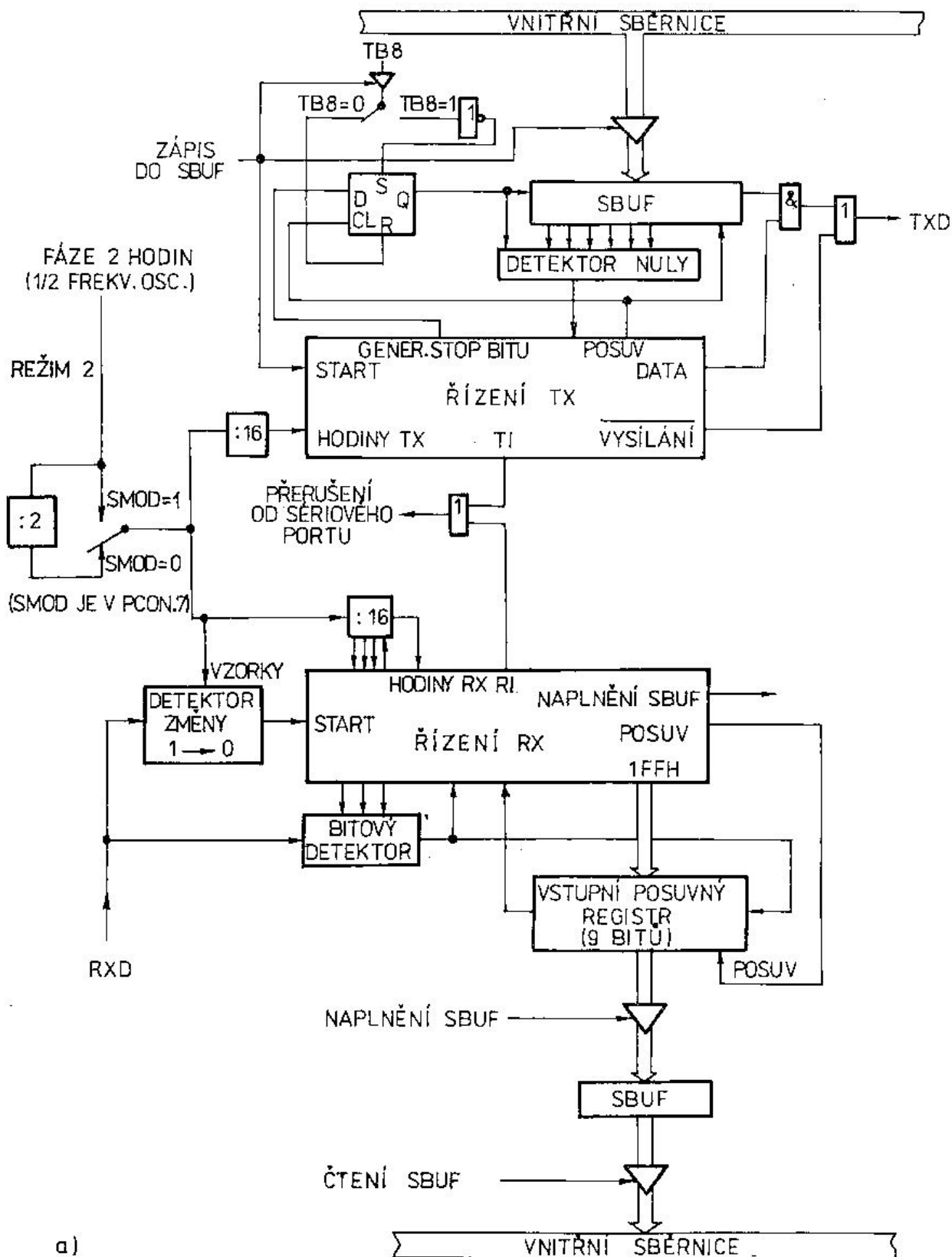
2.8.6 Popis režimu 2 a 3

Vysílá se (přes špičku TXD) a přijímá se (přes špičku RXD) jedenáct bitů: start bit (logická hodnota 0), osm datových bitů (nejméně významné bity jako první), programovatelný devátý datový bit (TB8) a stop bit (logická hodnota 1). Při vysílání může devátý datový bit obsahovat logickou hodnotu 0 nebo 1. Při příjmu se logická hodnota z devátého bitu přesouvá do bitu RB8 v registru speciálních funkcí SCON. V režimu 2 je přenosová rychlost programovatelná buď na 1/32 nebo 1/64 frekvence oscilátoru. V režimu 3 je přenosová rychlost proměnná a je získávána buď z časovače 1 nebo z časovače 2 v závislosti na logické hodnotě bitů TCLK a RCLK.

Na obrázcích 24 a 25 jsou funkční a časové diagramy sériového portu v režimu 2 a 3. Přijímací část je přesně stejná, jako v režimu 1. Vysílací část se od režimu 1 odlišuje pouze v devátém bitu vysílacího posuvného registru.

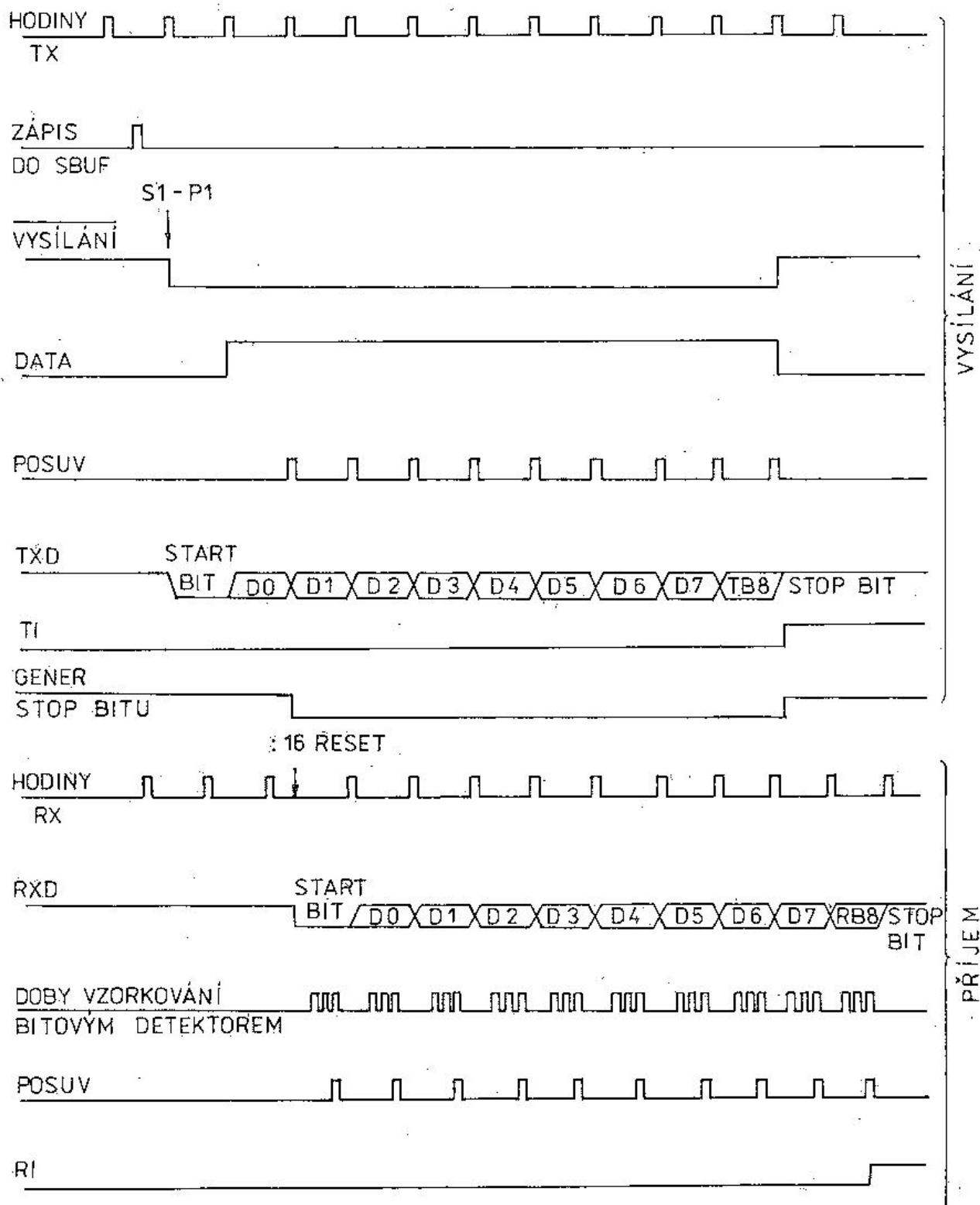
Vysílání se zahajuje instrukcí, která užívá registr speciálních funkcí SBUF jako cílový registr. Signál "ZÁPIS DO SBUF" přesune také obsah bitu TB8 do deváté bitové pozice vysílacího posuvného registru a oznamuje řídicí jednotce TX, že se požaduje vysílání. Vysílání začíná v době S1-P1 toho strojového cyklu, kdy se vydá další impuls z čítače děleno šestnácti. (Tím se synchronizují doby bitu s čítačem děleno šestnácti a ne se signálem "ZÁPIS DO SBUF".)

Vysílání začíná vydáním signálu "VYSÍLÁNÍ", který předá start bit na špičku TXD. O dobu jednoho bitu později se začne



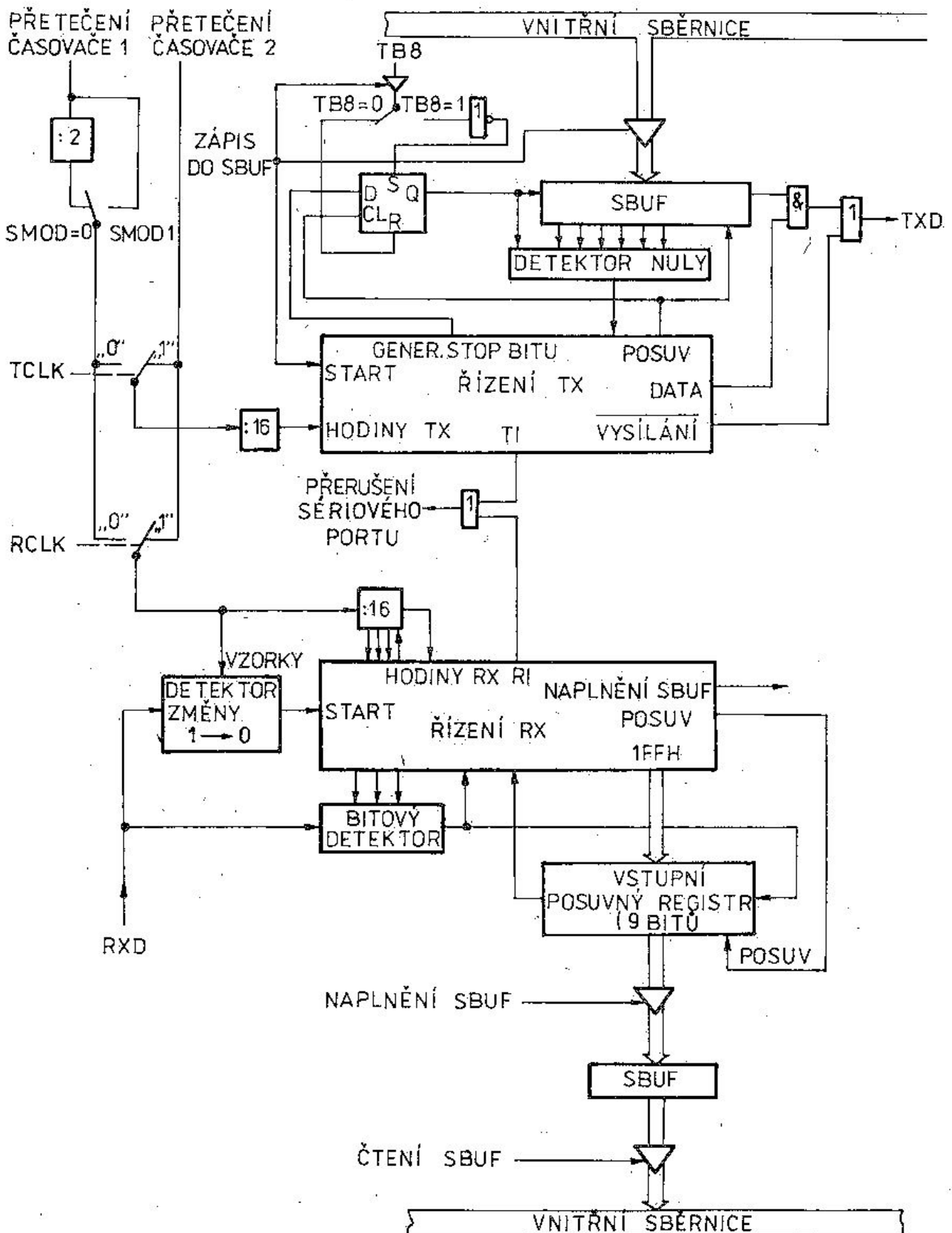
a)

Obr. 24 Sériový port v režimu 2
a) funkční diagram

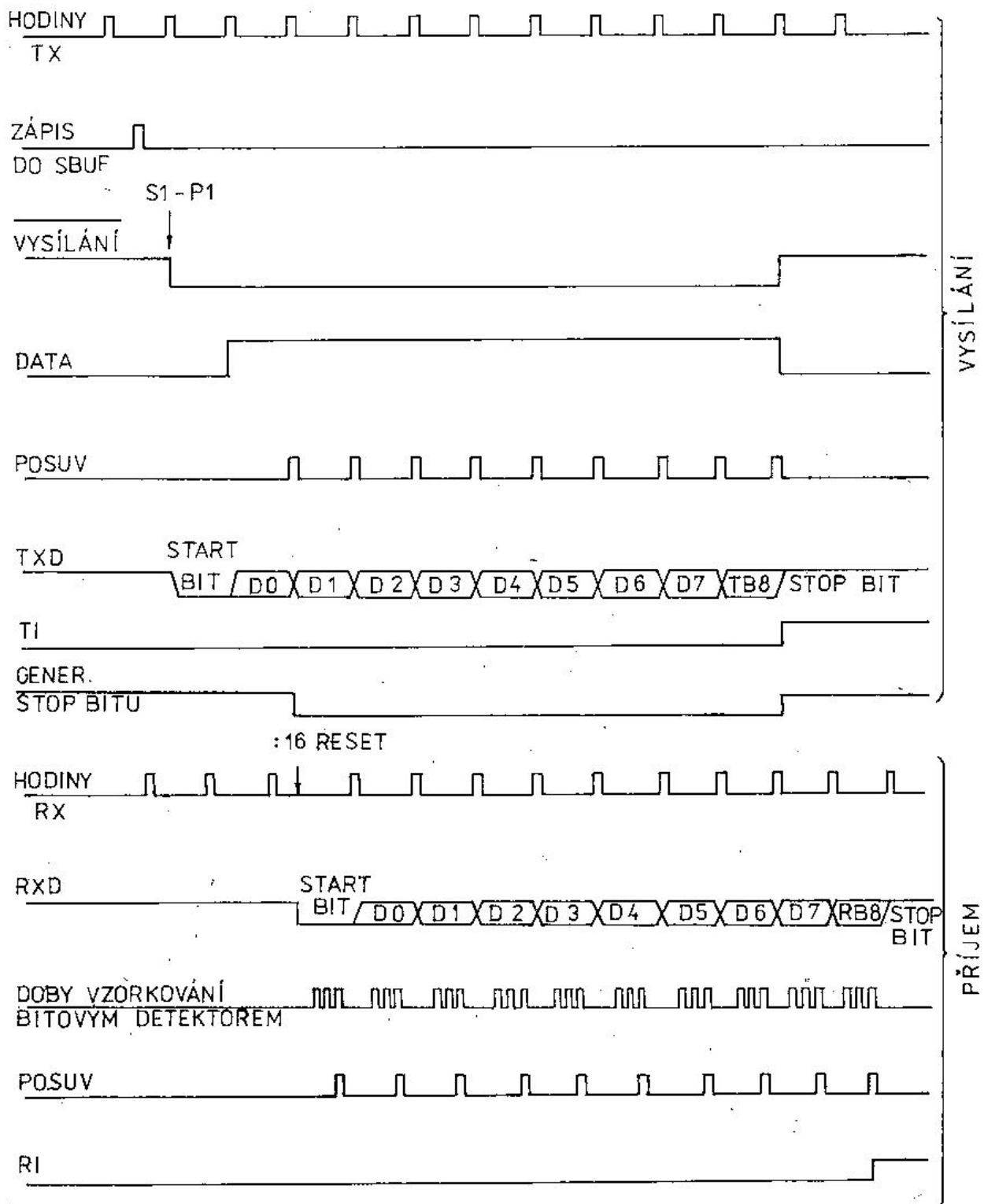


b)

Obr. 24 Sériový port v režimu 2
b) časový diagram



a)
 Obr. 25 Sériový port v režimu 3
 a) funkční diagram (Poznámka: časovač 2 a signály TCLK a RCLK jsou pouze u obvodů 8052.)



b)

Obr. 25 Sériový port v režimu 3
b) časový diagram

vydávat signál "DATA", který povoluje výstup bitů z vysílacího posuvného registru na špičku TXD. První posouvací impuls vznikne po uplynutí doby vysílání jednoho datového bitu (DO) a kromě posuvu datových bitů zapíše rovněž logickou hodnotu 1 (stop bit) do deváté bitové pozice posuvného registru. Při dalších posuvech se do posuvného registru vsunují pouze nuly. Postupně se datové bity vysouvají vpravo až se do výstupní pozice posuvného registru dostane bit TBS. Vlevo od něho je stop bit a všechny další pozice dále doleva obsahují nuly. Tento příznak oznamuje řídicí jednotce TX, aby provedla ještě jeden (poslední) posuv. Pak se přestane vydávat signál "VYSÍLÁNÍ" a začne se vydávat signál TI. K tomu dojde při jedenáctém přetečení čítače děleno šestnáctí po vydání signálu "ZÁPIS DO SBUF".

Příjem se zahajuje zjištěním změny z logické hodnoty 1 do logické hodnoty 0 na špičce RXD. Z toho důvodu se špička RXD vzorkuje rychlostí šestnáctkrát vyšší než je nastavená baudová přenosová rychlost. Po detekci změny je čítač děleno šestnáctí okamžitě vynulován a do vstupního posuvného registru se zapíše hodnota LFFH.

V sedmém, osmém a devátém stavu čítače doby každého bitu vzorkuje bitový detektor logickou hodnotu na špičce RXD. Jako platná se bere ta hodnota, která byla zjištěna nejméně ve dvou ze tří vzorků. Není-li hodnota zjištěná v době prvního bitu nula (tj. start bit), vynulují se přijímací obvody a řídicí jednotka začne znovu hledat další změnu z logické hodnoty 1 do logické hodnoty 0. Je-li startovací bit platný, přesouvá se do vstupního posuvného registru a příjem zbytku znaku pokračuje.

Postupně, jak přicházejí datové bity zprava, přesunují se jedničky doleva. Až dojde start bit do pozice nejvíce vlevo v posuvném registru, který je v režimu 2 a 3 devítibitovým registrem, předá se tento příznak řídicímu bloku RX. Ten provede poslední posuv, naplní SBUF a RBS a vydá signál RI. Signál pro naplnění SBUF a RBS a pro vydání RI se bude generovat tehdy

a jen tehdy, budou-li splněny v době vydání posledního posouvacího impulsu tyto podmínky:

1. $RI = 0$ a
2. buď $SM2 = 0$ nebo přijatý devátý datový bit má logickou hodnotu 1.

Není-li některá z těchto podmínek splněna, je přijatý znak nenahraditelně ztracen a signál RI se nevydá. Jsou-li splněny obě podmínky, pak se logická hodnota devátého přijatého bitu přesouvá do RBS a prvních osm datových bitů do SBUF. O jednu dobu bitu později, ať už jsou předcházející podmínky splněny nebo ne, se řídicí jednotka vrací zpět do funkce, kdy na špičce RXD opět vyhledává změnu z logické hodnoty 1 do logické hodnoty 0.

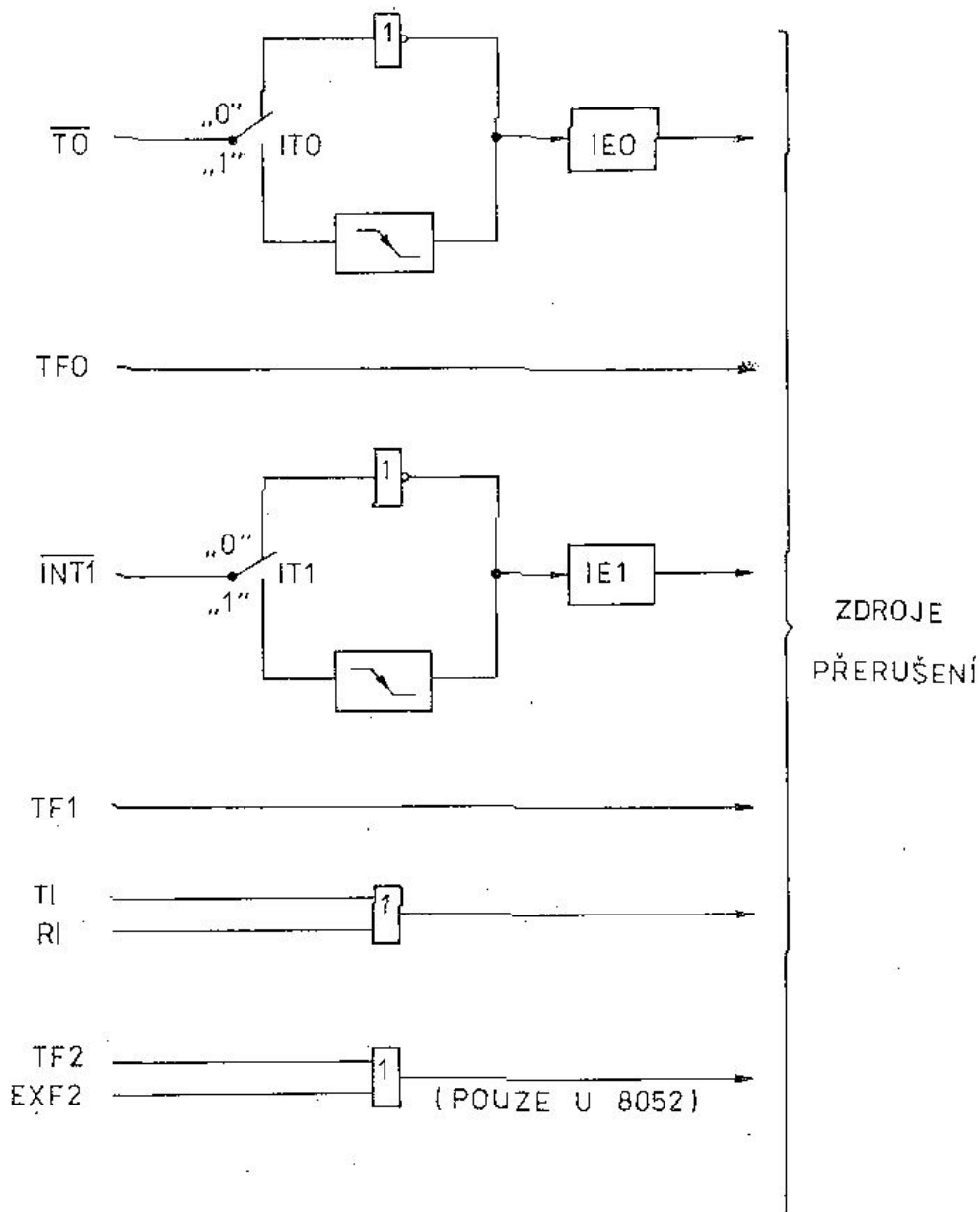
Hodnota přijatého stop bitu nemá žádný vztah k SBUF, RBS nebo RI.

2.9 Přerušeni

Obvody 8051 mají pět zdrojů přerušeni, obvody 8052 mají šest zdrojů přerušeni. Přehledně jsou uvedeny na obr. 26.

Vnější přerušeni $\overline{INT0}$ a $\overline{INT1}$ se mohou vyvolat buď logickou úrovní nebo změnou logické úrovně. Rozhoduje o tom stav bitů IT0 a IT1 v registru speciálních funkcí TCON. Vznikne-li vnější přerušeni, nastaví se příznak. Při obsluze přerušeni se tento příznak vynuluje hardwarově pouze tehdy, bylo-li přerušeni vyvoláno změnou logické úrovně. Při vyvolání přerušeni logickou úrovní řídí příznak požadavku na přerušeni vnější zdroj, který přerušeni vyžaduje, a ne hardware na čipu.

Přerušeni od časovače 0 a časovače 1 se vyvolávají signály TFO a TF1, které se nastaví do logické úrovně 1, když přetečou odpovídající registry časovačů/čítačů (výjimku viz článek 2.7.1. pro časovač 0 v režimu 3). Vyvolává-li přerušeni časovač, pak se příznak přerušeni nuluje hardwarem na čipu v okamžiku, kdy se spustí odpovídající obslužný program přerušeni.



Obr. 26 Zdroje přerušení u obvodů 8051 a 8052

Přerušení od sériového portu se generuje logickým součtem OR signálů RI a TI. Žádný z těchto příznaků se nenuluje hardwarově při spuštění odpovídajícího obslužného programu přerušení. Ve skutečnosti musí mít obslužný program určeno, zda přerušení generoval signál RI nebo TI a příslušný bit se musí nulovat softwarově.

U obvodů 8052 se přerušení od časovače 2 generuje logickým součtem OR signálů TF2 a EXF2. Žádný z těchto příznaků se

nenuluje hardwarově při spuštění odpovídajícího obslužného programu přerušeni. Ve skutečnosti musí mít obalový program určeno, zda přerušeni generoval signál TF2 nebo EXF2 a příslušný bit se musí vynulovat softwarově.

Všechny bity, které generují přerušeni, se mohou nastavit nebo vynulovat softwarově s tímž výsledkem, jako by se nastavovaly nebo nulovaly hardwarově. To znamená, že se přerušeni mohou generovat nebo nevyřizovaná přerušeni rušit softwarově.

Každý z těchto zdrojů přerušeni se může individuálně povolit nebo zakázat nastavením nebo vynulováním příslušného bitu v registru speciálních funkcí IE tak, jak ukazuje obr. 27. Významy jednotlivých bitů registru IE jsou přehledně uvedeny v tabulce 12. Registr IE obsahuje také bit EA, který zakazuje všechna přerušeni najednou.

2.9.1 Struktura úrovní priority přerušeni

Každý zdroj přerušeni se může samostatně programovat do jedné ze dvou úrovní priority nastavením nebo vynulováním příslušného bitu v registru speciálních funkcí IP tak, jak je uvedeno v obr. 28. Významy jednotlivých bitů registru IP jsou přehledně uspořádány v tabulce 13. Přerušeni s nízkou prioritou může být samo přerušeno přerušeni s vyšší prioritou, ale ne jiným přerušeni s nižší prioritou. Přerušeni s vyšší prioritou nemůže být přerušeno žádným jiným zdrojem přerušeni.

Přijmou-li se současně dva požadavky přerušeni s rozdílnými prioritami, obslouží se požadavek s vyšší prioritou. Při současném příjmu dvou přerušeni stejné priority se přerušeni, které se má obsloužit jako první, určí vnitřní výběrovou sekvencí. Uvnitř každé úrovně priority je ještě další struktura priority, která je určena vnitřní výběrovou sekvencí takto:

(v. ř.)

I E

(n. ř.)

EA	-	ET2	ES	ET1	EX1	ETO	EXO
----	---	-----	----	-----	-----	-----	-----

Obr. 27 Registr povolení přerušeni - IE

Významy bitů registru IE

Tabulka 12

Symbol	Pozice	Význam
EA	IE.7	Zakazuje všechna přerušeni. Je-li EA = 0, nepovolí se žádné přerušeni. Je-li EA = 1, je každý zdroj přerušeni povolen nebo zakázán samostatně nastavením nebo vynulováním svého povolovacího bitu.
-	IE.6	Rezerva.
ET2	IE.5	Povoluje nebo zakazuje přerušeni od přetečení nebo zachycení časovače 2. Je-li ET2 = 0, je přerušeni od časovače 2 zakázáno.
ES	IE.4	Povoluje nebo zakazuje přerušeni od sériového portu. Při ES = 0 je přerušeni od sériového portu zakázáno.
ET1	IE.3	Povoluje nebo zakazuje přerušeni od přetečení časovače 1. Při ET1 = 0 je přerušeni od časovače 1 zakázáno.
EX1	IE.2	Povoluje nebo zakazuje vnější přerušeni 1. Při EX1 = 0, je vnější přerušeni 1 zakázáno.
ETO	IE.1	Povoluje nebo zakazuje přerušeni od přetečení časovače 0. Při ETO = 0 je přerušeni od časovače 0 zakázáno.
EXO	IE.0	Povoluje nebo zakazuje vnější přerušeni 0. Při EXO = 0 je vnější přerušeni 0 zakázáno.

(v. ř.)

I P

(n. ř.)

-	-	PT2	PS	PT1	PX1	PT0	PX0
---	---	-----	----	-----	-----	-----	-----

Obr. 28 Registr priority přerušeni - IP

Významy bitů registru IP

Tabulka 13

Symbol	Pozice	Význam
-	IP.7	Rezerva.
-	IP.6	Rezerva.
PT2	IP.5	Definuje úroveň priority přerušeni od časovače 2. Logická hodnota PT2 = 1 programuje vyšší úroveň priority tohoto přerušeni.
PS	IP.4	Definuje úroveň priority přerušeni od sériového portu. Logická hodnota PS = 1 programuje vyšší úroveň priority tohoto přerušeni.
PT1	IP.3	Definuje úroveň priority přerušeni od časovače 1. Logická hodnota PT1 = 1 programuje vyšší úroveň priority tohoto přerušeni.
PX1	IP.2	Definuje úroveň priority vnějšího přerušeni 1. Logická hodnota PX1 = 1 programuje vyšší úroveň priority tohoto přerušeni.
PT0	IP.1	Definuje úroveň priority přerušeni od časovače 0. Logická hodnota PT0 = 1 programuje vyšší úroveň priority tohoto přerušeni.
PX0	IP.0	Definuje úroveň priority vnějšího přerušeni 0. Logická hodnota PX0 = 1 programuje vyšší úroveň priority tohoto přerušeni.

	<u>Zdroj přerušeni</u>	<u>Priorita uvnitř úrovně</u>
1.	IE0	(nejvyšší)
2.	TFO	
3.	IE1	
4.	TF1	
5.	RI + TI	
6.	TF2 + EXF2	(nejnižší)

Struktura "priority uvnitř úrovně" se užívá pouze při rozhodování mezi současně příšlými požadavky na přerušeni se stejnou prioritou.

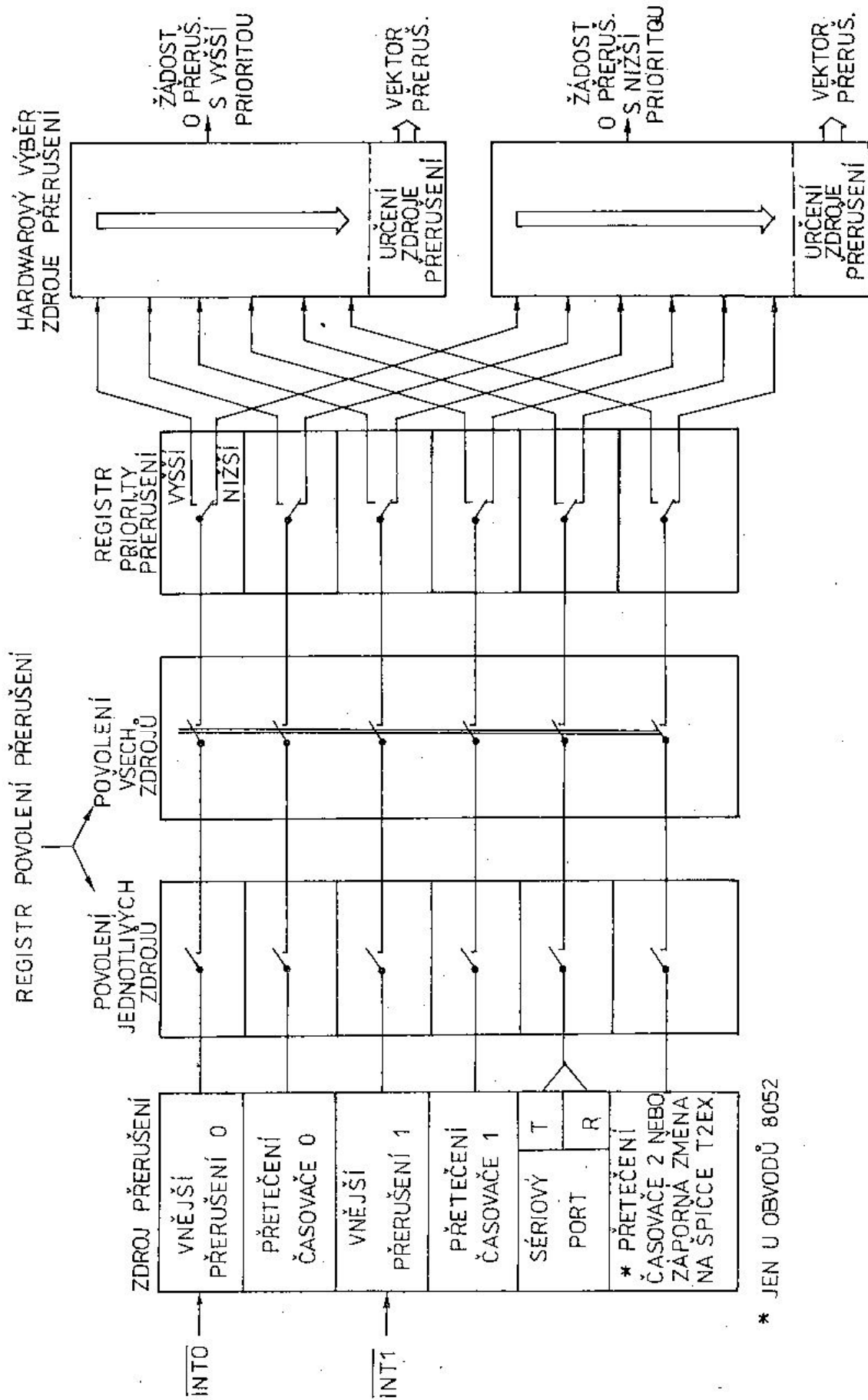
Uspořádání přerušovacího systému přehledně znázorňuje obrázek 29.

2.9.2 Obsluha přerušeni

Příznaky přerušeni se vzorkují v době S5-P2 každého strojového cyklu. Mezi vzorky se rozhoduje v následujícím strojovém cyklu. Je-li jeden z příznaků nastaven v době S5-P2 předcházejícího cyklu, výběrový cyklus ho najde a přerušovací systém generuje instrukci ICALL vhodnou pro přechod do odpovídajícího obslužného programu přerušeni. Hardwarové generování instrukce ICALL proběhne pouze tehdy, není-li blokováno žádnou z těchto podmínek:

1. Již se zpracovává přerušeni se stejnou nebo vyšší úrovní priority.
2. Obvyklý (výběrový) cyklus není v posledním cyklu prováděné instrukce.
3. Právě prováděná instrukce je RETI nebo jiná, která zasahuje do registrů IE nebo IP.

Kterákoliv z těchto tří podmínek bude blokovat generování instrukce ICALL pro přechod do obslužného programu přerušeni. Druhá podmínka zajišťuje, že se právě prováděná



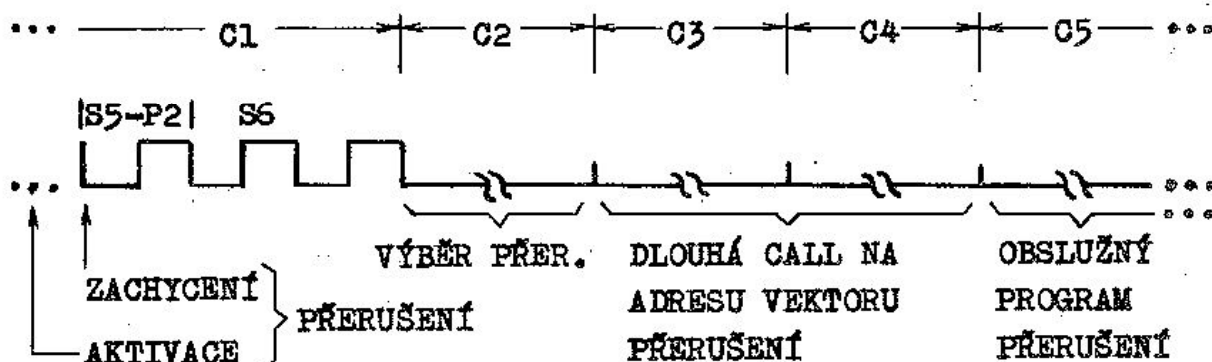
* JEN U OBVODŮ 8052

Obr. 29 Přerušovací systém mikrořadičů 8051 a 8052

instrukce zcela dokončí před skokem do některého obslužného programu přerušeni. Třetí podmínka zajišťuje, aby se při provádění instrukce RETI nebo jiné instrukce, která zasahuje do registrů IE nebo IP, vykonala ještě jedna instrukce, a teprve potom se provedlo směřování na příslušný vektor přerušeni.

Výběrový cyklus se opakuje v každém strojovém cyklu. Vybírá se z hodnot, které byly přítomny v době S5-P2 předchozího strojového cyklu. Je-li příznak přerušeni aktivní, avšak nereaguje-li se na něho pro některou z výše uvedených podmínek, pak v době, kdy už není aktivní, i když blokovací podmínky zanikly, se takto odmítnuté přerušeni již neobslouží. Jinými slovy, skutečnost, že příznak přerušeni byl jednou nastaven, ale nebyl obsloužen, znamená, že se nezapamatoval. Každý výběrový cyklus je tedy nový.

Výběrový cyklus přerušeni a sekvence LCALL je znázorněna na obr. 30.



TOTO JE NEJRYCHLEJŠÍ MOŽNÁ REAKCE, JE-LI C2 POSLEDNÍM CYKLEM INSTRUKCE JINÉ NEŽ RETI NEBO ZASAHOJÍCÍ DO IE NEBO IP.

Obr. 30 Časový diagram odezvy na přerušeni

Nastaví-li se přerušeni s vyšší úrovní priority dříve než nastane doba S5-P2 strojového cyklu C3, pak bude toto přerušeni obslouženo podle výše uvedených pravidel během strojových cyklů C5 a C6, aniž se provede jediná instrukce přerušeno programu s nižší prioritou.

Procesor potvrzuje požadavek na přerušeni tím, že hardwarově vygeneruje instrukci ICALL pro přechod do obslužného programu přerušeni. V některých případech se také hardwarově nuluje příznak, který přerušeni generoval, v jiných případech tomu tak není. Nikdy se nenulují příznaky sériového portu a časovače 2, které musí nulovat uživatel softwarově. Příznaky vnějšího přerušeni (IE0 nebo IE1) se nulují pouze tehdy, pokud se nastavily změnou úrovně. Hardwarově generovaná instrukce ICALL ukládá obsah programového čítače PC (Program Counter) do zásobníku (avšak neukládá stavové slovo programu PSW) a naplňuje znovu PC adresou vektoru přerušeni, která závisí na zdroji přerušeni takto:

Zdroj přerušeni	Adresa vektoru přerušeni
IE0	0003H
TFO	000BH
IE1	0013H
TF1	001BH
RI + TI	0023H
TF2 + EXF2	002BH

Na těchto adresách začínají obslužné programy, které probíhají tak dlouho, dokud nenarazí na instrukci RETI. Tato instrukce informuje procesor o tom, že obslužný program přerušeni končí. Ze zásobníku se vyberou dva byty a znovu se jimi naplní programový čítač, takže zpracování přerušného programu pokračuje od místa, kde byl program přerušen (resp. opuštěn).

Jednoduchá instrukce RET by mohla také vracet pokračování do přerušného programu, avšak mohla by zanechat řídicí systém přerušeni ve stavu kdy předpokládá, že se přerušeni stále zpracovává.

2.9.3 Vnější přerušeni

Zdroje vnějšího přerušeni se mohou programovat tak, že se přerušeni aktivuje buď logickou úrovní nebo změnou logické

úrovně. Závisí to na logické hodnotě v bitech $\overline{IT1}$ nebo $\overline{IT0}$ v registru speciálních funkcí TCON. Je-li logická hodnota bitů $\overline{ITx} = 0$, spouští se vnější přerušeni x logickou úrovní 0, která byla zjištěna na špičce \overline{INTx} . Je-li logická úroveň bitů $\overline{ITx} = 1$, spouští se vnější přerušeni x hranou. Zjistí-li se v tomto režimu při postupném vzorkování špičky \overline{INTx} v jednom cyklu logická hodnota 1 a v dalším cyklu logická hodnota 0, nastaví se příznak požadavku na přerušeni \overline{IEx} v registru speciálních funkcí TCON. Příznakový bit \overline{IEx} pak žádá o přerušeni.

Protože špičky pro vnější přerušeni jsou vzorkovány jednou při každém strojovém cyklu, musí logická hodnota 1 nebo logická hodnota 0 na vstupu trvat nejméně dvanáct period oscilátoru. Tím se zajistí správné vzorkování.

Aktivuje-li se vnější přerušeni změnou úrovně, musí vnější zdroj držet žádající špičku na logické úrovni 1 nejméně jeden cyklus, a potom ji držet na logické úrovni 0 také nejméně jeden cyklus. Tím se zajistí detekce změny úrovně a nastavení příznaku žádosti o přerušeni \overline{IEx} . Příznak \overline{IEx} nuluje CPU automaticky při volání obslužného programu přerušeni.

Je-li vnější přerušeni aktivováno úrovní, musí vnější zdroj udržovat svůj požadavek tak dlouho, dokud se vyžadované přerušeni skutečně nespustí. Pak se musí žádost o přerušeni zrušit a to dříve, než se dokončí obslužný program přerušeni, protože jinak by se generovalo další přerušeni.

2.9.4 Čas odezvy na žádost o přerušeni

Logické úrovně signálů $\overline{INT0}$ a $\overline{INT1}$ se invertují a zachycují v bitech $\overline{IE0}$ a $\overline{IE1}$ (v registru TCON) v době $S5-P2$ každého strojového cyklu. Tyto hodnoty se vnitřními obvody vyhodnotí v příštím strojovém cyklu. Je-li aktivován požadavek na přerušeni a podmínky vyhovují tomu, aby byl potvrzen, pak další prováděnou instrukcí bude hardwarově generované volání obslužného programu příslušného přerušeni. Samotné volání trvá dva

cykly. Proto jsou mezi aktivováním požadavku na vnější přerušeni a první instrukcí obslužného programu přerušeni nejméně tři úplné strojové cykly. Časové vztahy při přerušeni jsou znázorněny na obr. 30.

Čas odezvy se prodlouží v těch případech, kdy je požadavek na přerušeni blokován jednou ze tří dříve uvedených podmínek. Zpracovává-li se již přerušeni se stejnou nebo vyšší prioritou, bude další čekací čas samozřejmě záviset na vlastnostech programu, který obsluhuje druhé přerušeni. Pokud probíhající instrukce není v závěrečném cyklu, nemůže být další čekací čas delší než tři strojové cykly, neboť nejdelší instrukce (MUL a DIV) trvají pouze čtyři cykly. Je-li probíhající instrukce RETI nebo instrukce přístupu k registrům IE nebo IP, nemůže být další čekací čas delší než pět cyklů (tj. maximálně jeden cyklus navíc pro dokončení probíhající instrukce plus čtyři cykly navíc pro dokončení další instrukce, jedná-li se o instrukci MUL nebo DIV).

Tak je v systému s jedním přerušením čas odezvy vždy větší než tři strojové cykly a menší než osm strojových cyklů.

2.10 Činnost v krokovém režimu

Struktura přerušeni u obvodů 8051 a 8052 dovoluje provádět činnost po jednotlivých krocích s velmi malými softwarovými náklady. Jak již bylo uvedeno dříve, požadavek na přerušeni se nebude akceptovat, bude-li se již zpracovávat přerušeni se stejnou úrovní priority. Odmitání požadavku na přerušeni bude trvat do té doby, dokud se za instrukcí RETI neprovede jedna další instrukce. Tak jednou spuštěný obslužný program přerušeni nemůže být spuštěn znovu, neprovede-li se alespoň jediná instrukce přerušeného programu. Jeden způsob, jak využít tuto vlastnost pro činnost v krokovém režimu, je naprogramovat jedno z vnějších přerušeni - např. $\overline{\text{INT0}}$ - tak, aby bylo spouštěno logickou úrovní. Obslužný program přerušeni pak bude zakončen takto:

```

.
.
.
JNB P3.2, X ;CEKANI NA LOGICKOU HODNOTU 1
JB P3.2, X ;CEKANI NA LOGICKOU HODNOTU 0
RETI ;NAVRAT DO HLAVNIHO PROGRAMU A PROVEDENI
;JEDNE INSTRUKCE

```

Nyní, když se špička $\overline{INT0}$, což je také špička P3.2, přidrží na logické hodnotě 0, přejde CPU do obslužného programu vnějšího přerušení 0 a zůstane v něm tak dlouho, dokud na špičku $\overline{INT0}$ nepříjde impuls (z logické hodnoty 0 do logické hodnoty 1 a opět do logické hodnoty 0). Pak se provede instrukce RETI, přejde se zpět do zkoumaného programu, tam se provede jedna instrukce a okamžitě se znovu spustí obslužný program vnějšího přerušení 0, který čeká na další impuls na špičce P3.2. Jakmile impuls přijde, provede se opět jedna instrukce krokovaného programu a celý výše popsaný pochod se opakuje.

2.11 Nulování - RESET

Funkce nulování - RESET - slouží k počátečnímu nastavení některých vnitřních obvodů mikrořadiče. Pro funkci nulování se užívá špička RST, která je vstupem Schmittova klopného obvodu. Nulování se provádí tak, že na špičce RST musí být logická hodnota 1 nejméně dva strojové cykly (tj. 24 period oscilátoru) v době, kdy již oscilátor běží. CPU na to reaguje provedením vnitřní funkce nulování. Nastaví také špičky ALE a \overline{PSEN} jako vstupy (tyto špičky jsou kvaziobousměrné). Vnitřní funkce nulování se provádí během druhého cyklu, ve kterém je špička RST na úrovni logické hodnoty 1, a opakuje se každý cyklus, dokud se na špičce RST neobjeví logická hodnota 0. Po skončení funkce nulování jsou obsahy vnitřních registrů nastaveny tak, jak je uvedeno v tabulce 14.

Obsah vnitřní paměti RAM se funkcí nulování neovlivňuje. Při zapnutí napájení U_{CC} není obsah vnitřní paměti RAM definován, nejde-li o návrat z režimu se sníženým odběrem (čl. 2.12).

Nastavení obsahu registrů
po funkci RESET

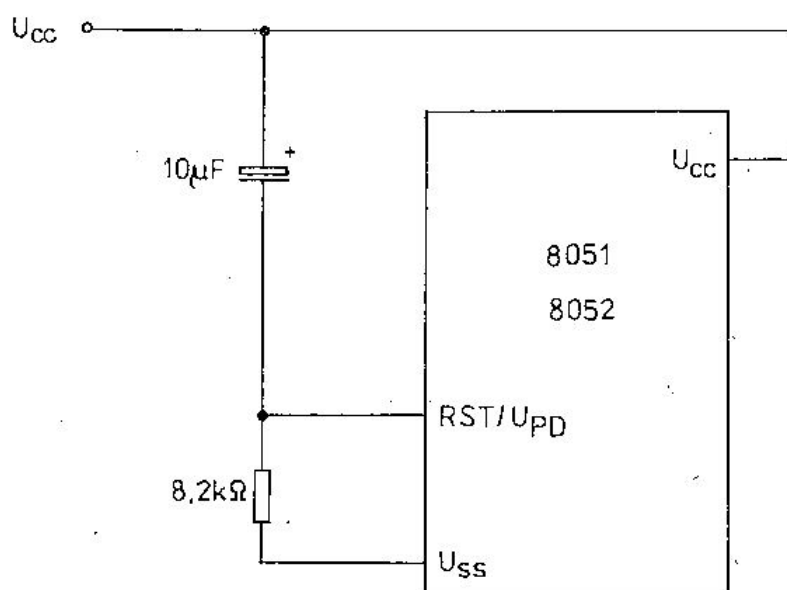
Tabulka 14

Registr	Obsah
PC	0000H
ACC	00H
B	00H
PSW	00H
SP	07H
DPTR	0000H
P0 - P3	0FFH
IP	XX000000B
IE	0X000000B
TMOD	00H
TCON	00H
T2CON	00H
TH0	00H
TLO	00H
TH1	00H
TL1	00H
TH2	00H
TL2	00H
RCAP2H	00H
RCAP2L	00H
SCON	00H
SBUF	nedefinován
PCON	0XXX0000B

X označuje nedefinovanou hodnotu

Funkce nulování po zapnutí napájení

Automatické funkce nulování po zapnutí napájení dosáhneme tím, že špičku RST spojíme přes kondensátor o kapacitě $10\ \mu\text{F}$ s napětím U_{CC} a přes rezistor $8,2\ \text{k}\Omega$ se špičkou U_{SS} . Tím náběh napětí U_{CC} nepřekročí milisekundu a náběh oscilátoru deset milisekund. Zapojení pro automatické provedení funkce nulování při zapnutí napájení je na obr. 31.



Obr. 31 Funkce nulování při zapnutí napájení

Po zapnutí napájení začne proud, který protéká špičkou RST, nabíjet kondensátor. Napětí na špičce RST je rozdílem napětí U_{CC} a napětím na kondensátoru. Tento rozdíl se s postupným nabíjením kondensátoru zmenšuje. Čím je kapacita kondensátoru větší, tím pomaleji klesá napětí na špičce RST. Důležitější je, že napětí musí zůstat nad nižší prahovou úrovní Schmittova klopného obvodu tak dlouho, dokud neproběhne úplná funkce nulování. Potřebný čas je dán dobou startu oscilátoru zvětšenou o dobu dvou strojových cyklů.

2.12 Činnost v režimu se sníženým příkonem

V aplikacích, kde je kritická spotřeba energie, umožňují jak HMOS, tak i CHMOS verze mikrořadičů přechod do režimu činnosti se sníženým příkonem. Ve verzi CHMOS obvodů 8051 jsou již standardně zabudovány vlastnosti, které dovolují režimy se sníženým příkonem - čekání (idle) a snížení napájení. Ve verzi HMOS je snížení příkonu rovněž možné, avšak pouze v režimu s vypnutým napájením.

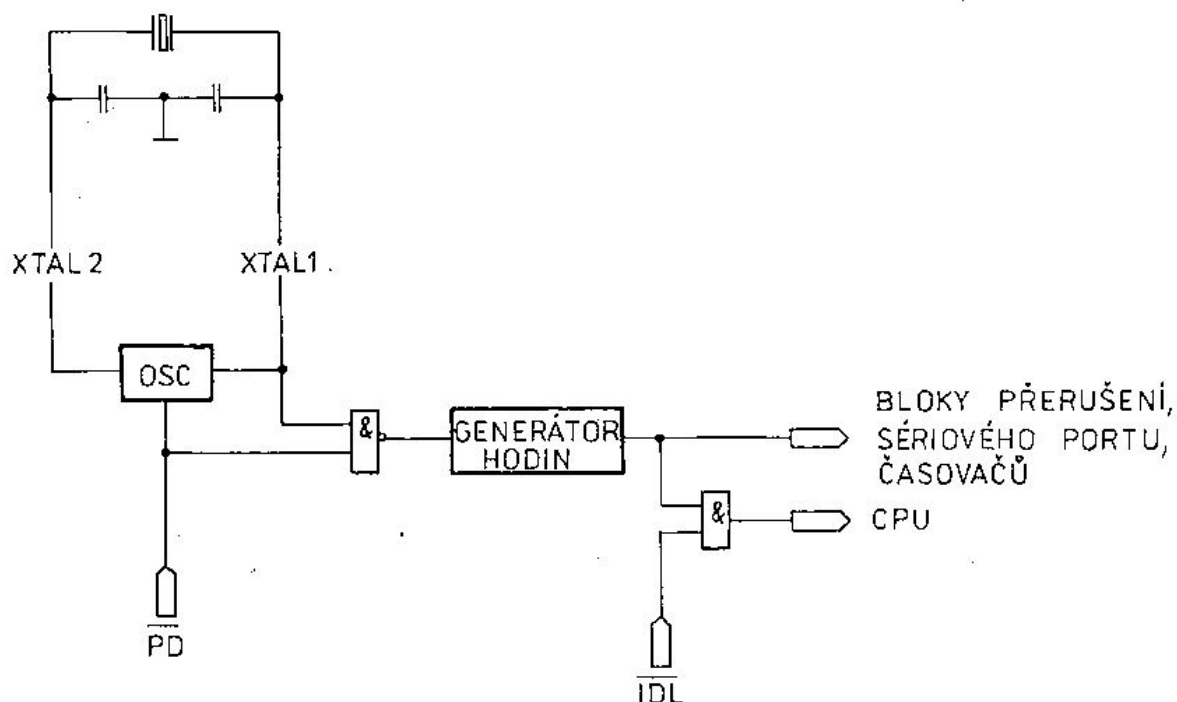
2.12.1 Verze HMOS - režim s vypnutým napájením

Režim s vypnutým napájením umožňuje u obvodů verze HMOS snížit napětí U_{CC} na nulu a zároveň uchovat obsah paměti RAM na čipu pomocí podpůrného zdroje napětí U_{PD} připojeného na špičku RST. Má-li se tato vlastnost využít, musí uživatelův systém při zjištění, že hrozí závada na napájení, přerušit činnost procesoru a přesunout důležitá data do paměti RAM na čipu. Dále musí připojit zdroj pomocného napětí na špičku RST a to dříve než napětí U_{CC} klesne pod spodní pracovní hranici. Po opětovném naběhnutí napájení musí zůstat pomocné napětí připojené tak dlouho, dokud se neprovede funkce nulování. Teprve potom se může pomocné napětí odpojit a lze pokračovat v normální činnosti.

2.12.2 Verze CHMOS - režim se sníženým příkonem

Obvody verze CHMOS mají dva režimy se sníženým příkonem - režim čekání (Idle mode) a režim se sníženým napájením (Power Down). Vstup, na který se při těchto činnostech přivádí pomocné napětí, je špička U_{CC} . Na obr. 32 jsou uvedeny vnitřní obvody, které umožňují funkce v obou režimech.

V režimu čekání (logická hodnota IDL = 1) běží oscilátor dál a časuje bloky přerušování, sériového portu a časovačů, avšak hodinový signál pro CPU je blokován. V režimu se sníženým napájením (logická hodnota PD = 1) se oscilátor zastaví.



Obr. 32 Vnitřní obvody pro režim čekání a režim se sníženým napájením

Režim čekání a režim se sníženým napájením se spouštějí nastavením odpovídajících bitů v registru speciálních funkcí PCON, jehož adresa je 87H. Podrobná struktura registru PCON je na obr. 33, významy jednotlivých bitů jsou přehledně uvedeny v tabulce 15.

2.12.2.1 Režim čekání

Instrukce, která nastavuje bit PCON.0 do logické hodnoty 1, je poslední instrukcí provedenou před přechodem do režimu čekání. V režimu čekání se vnitřní hodinový signál odpojí od CPU, avšak nadále se přivádí k blokům přerušení, sériového portu a časovačů. Je zachován úplný stav CPU: ukazatel zásobníku, programový čítač, stavové slovo programu, střeďač i všechny ostatní registry uchovávají v režimu čekání svůj obsah. Špičky portu drží své logické stavy, které měly v době přechodu do režimu čekání. Signály ALE a $\overline{\text{PSEN}}$ přejdou do neaktivního stavu.

Existují dva způsoby, jak režim čekání ukončit. Žádost o jakékoliv předem povolené přerušeni způsobí, že se

(v. ř.)				P	C	O	N			(n. ř.)
SMOD	-	-	-	GF1	GFO	PD	IDL			

Obr. 33 Řídicí registr napájení - PCON

Významy bitů registru PCON

Tabulka 15

Symbol	Pozice	Význam
SMOD	PCON.7	Bit dvojnásobné přenosové rychlosti. Má-li bit logickou hodnotu 1, zdvojnásobí se přenosová rychlost, pokud se sériový port používá v některém z režimů 1, 2 nebo 3.
-	PCON.6	} Rezerva.
-	PCON.5	
-	PCON.4	
GF1	PCON.3	Příznakový bit pro obecné použití.
GFO	PCON.2	Příznakový bit pro obecné použití.
PD	PCON.1	Bit režimu se sníženým napájením. Nastavením tohoto bitu do logické hodnoty 1 se spouští režim se sníženým napájením.
IDL	PCON.0	Bit režimu čekání. Nastavením tohoto bitu do logické hodnoty 1 se spouští operace režimu čekání.
<p><u>Poznámka</u></p> <p>Zapíše-li se současně logická hodnota 1 do bitů PD a IDL, spustí se režim se sníženým napájením.</p> <p>Obsah registru PCON po funkci nulování je OXXX0000B.</p>		

hardwarově vynuluje bit PCON.0 a tím se ukončí režim čekání. Přerušeni se obslouží, provede se instrukce RETI a ještě jedna instrukce, která může znovu přepnout zařízení do režimu čekání.

Príznakové bity GFO a GF1 se mohou využit pro indikaci, zda prerušeni nastalo během normální činnosti nebo během čekání. Na příklad instrukce, která spouští čekání, může nastavit jeden nebo oba příznakové bity. Skončí-li čekání v důsledku prerušeni, může obslužný program prerušeni tyto příznakové bity zkoumat.

Jiný způsob, jak ukončit režim čekání, je využití hardwarové funkce nulování. Protože oscilátor hodin stále běží, stačí ke kompletnímu nulování vnitřních obvodů, aby hardwarové nulování trvalo pouze dva strojové cykly (24 period oscilátoru).

2.12.2.2 Režim se sníženým napájením

Instrukce, která nastavuje bit PCON.1 do logické hodnoty 1, je poslední instrukcí, provedenou před přechodem do režimu se sníženým napájením. V tomto režimu se oscilátor umístěný na čipu zastaví. Se zastavením hodin se zastaví všechny funkce, avšak obsah vnitřní paměti RAM a registrů speciálních funkcí zůstává zachován. Výstupní špičky portů (resp. jejich registrů speciálních funkcí) také zachovávají své hodnoty. Výstupy signálů ALE a $\overline{\text{PSEN}}$ mají logickou úroveň 0.

Jediným východem z režimu se sníženým napájením je provedení hardwarové funkce nulování (RESET). Tato funkce znovu definuje obsah všech registrů speciálních funkcí, avšak nemění obsah paměti RAM na čipu.

V režimu se sníženým napájením se může napětí U_{CC} snížit tak, aby se minimalizoval odběr. Musí se zajistit, aby napětí U_{CC} nekleslo dříve než se vyvolá režim se sníženým napájením, a aby se naopak vrátilo na svou normální pracovní hodnotu před ukončením tohoto režimu. Funkce nulování, která zakončí režim se sníženým napájením, rozbíhá také oscilátor. Funkce nulování by neměla být provedena dříve, dokud se napětí U_{CC} nedostane na svou jmenovitou pracovní hodnotu a musí se provádět tak dlouho, až se rozběhne a stabilizuje oscilátor (normálně je to doba kratší než 10 ms).

2.13 Obvod 8751H

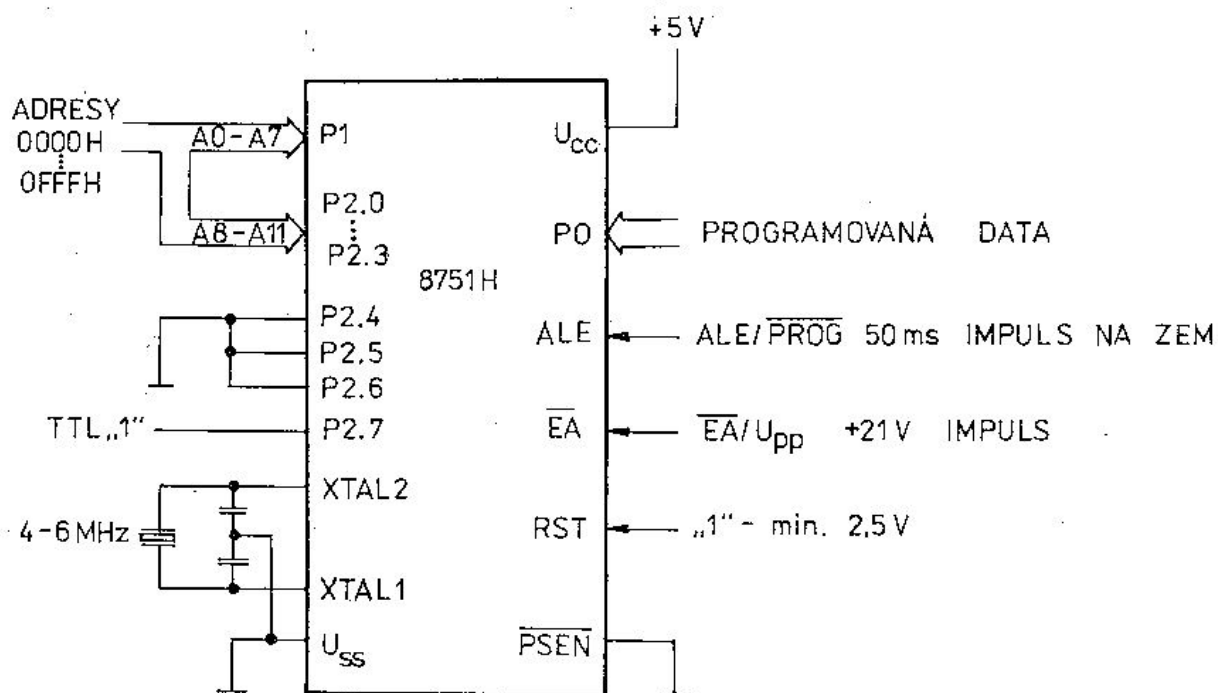
Obvod 8751H má na čipu umístěnou paměť EPROM o kapacitě 4 KB. Využívá se jako vnitřní paměť programu a může se elektricky programovat a mazat ultrafialovým zářením. Obvod 8751H má také prostředky, které zabráňují vstupu zvnějšku do vnitřní paměti programu a tím zamezují zcizení programu.

2.13.1 Programování vnitřní paměti EPROM

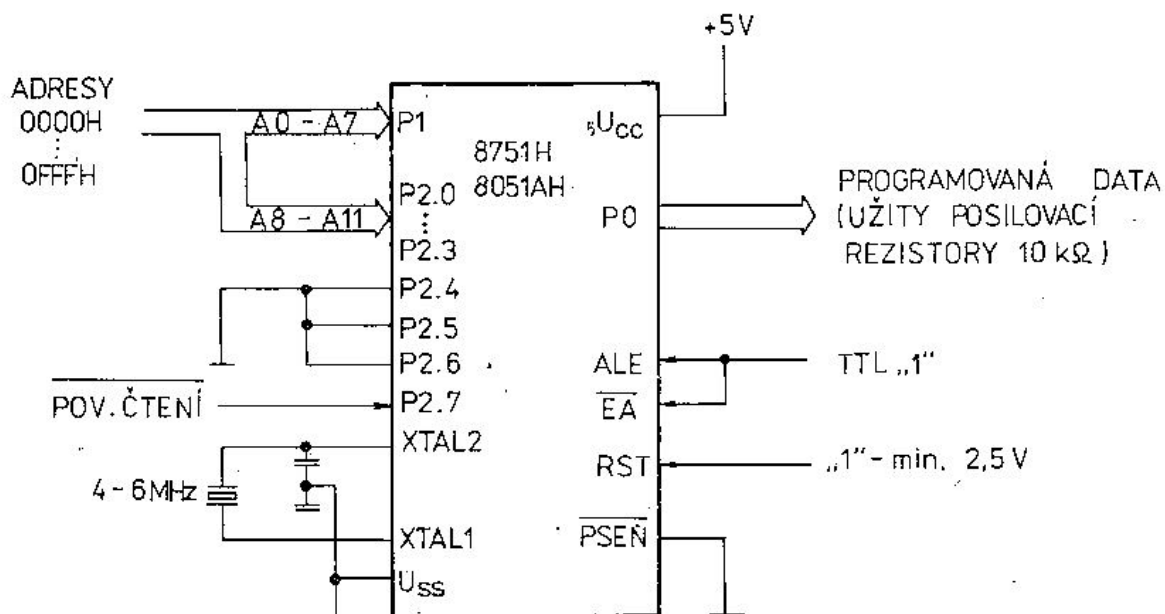
Nutnou podmínkou pro možnost programování obvodu 8751H je, že musí běžet oscilátor s frekvencí v rozsahu od 4 do 6 MHz. Tento rozsah je nutný proto, že se vnitřní sběrnice používá pro přenos adres a dat programu do odpovídajících vnitřních registrů. Adresa místa v paměti EPROM, které se má programovat, se přivádí na špičky portu 1 (nižší řády) a špičky P2.0 až P2.3 portu 2 (vyšší řády). Datové byty se přivádějí na špičky portu 0. Na špičkách P2.4 - P2.6 a špičce $\overline{\text{PSEN}}$ musí být logická hodnota 0 a na špičkách P2.7 a RST logická hodnota 1. (Všechno jsou úrovně TTL s výjimkou špičky RST, která potřebuje minimálně 2,5 V jako logickou hodnotu 1.) Špička $\overline{\text{EA}}/U_{\text{pp}}$ má logickou hodnotu 1 a přicházejí na ni impulsy +21 V. Je-li na této špičce napětí 21 V, pak špička ALE/PROG, na které je normálně logická hodnota 1, musí na 50 ms přejít do logické hodnoty 0. Pak se špička $\overline{\text{EA}}/U_{\text{pp}}$ vrací do logické hodnoty 1. Zapojení obvodu 8751H při programování ukazuje obr. 34. Podrobné časové specifikace jsou uvedeny v článku 6.3.3.

Důležité upozornění

Na špičce $\overline{\text{EA}}/U_{\text{pp}}$ nesmí napětí U_{pp} překročit maximální povolenou hodnotu 21,5 V ani na sebestmíňší krátký čas. I úzká špička nad toto napětí může trvale poškodit obvod. Proto zdroj napětí U_{pp} musí být velmi dobře stabilizován a nesmí mít žádné napěťové špičky.



Obr. 34 Programování obvodu 8751H



Obr. 35 Ověřování programu u obvodů 8751H a 8051AH

2.13.2 Ověřování programu

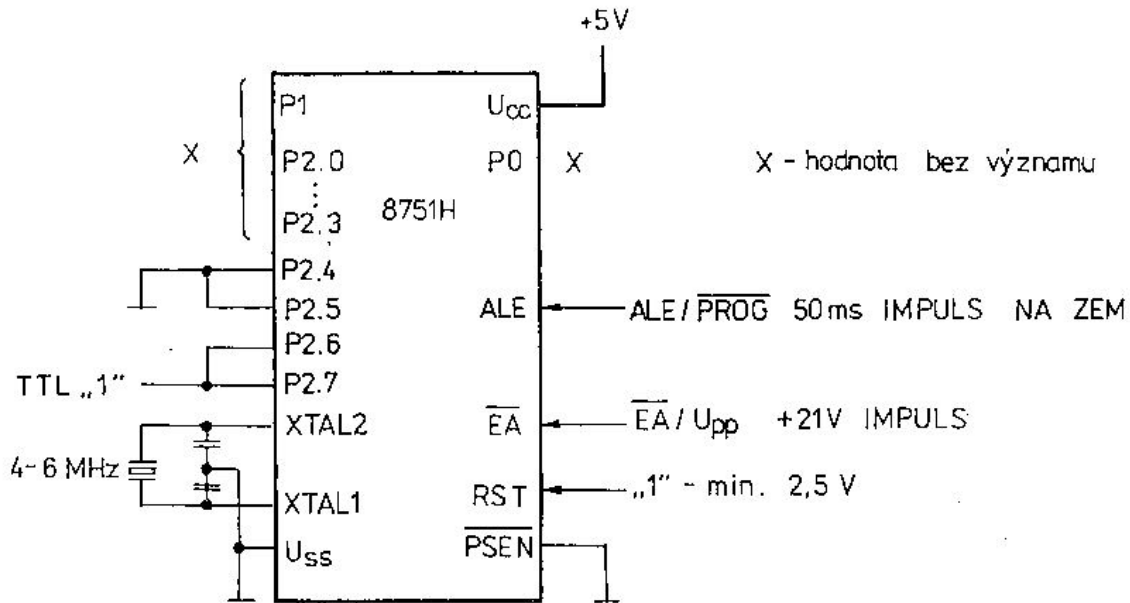
Není-li naprogramován bit ochrany programu, lze obsah vnitřní paměti programu číst a kontrolovat buď během programování nebo až po jeho skončení. Zapojení pro ověření programu, které je na obr. 35, je přibližně stejné, jako při programování vnitřní paměti EPROM. Rozdíl je v tom, že se na špičku P2.7 trvale přivádí logická hodnota 0 v úrovni TTL nebo se tato špička užívá pro vstup čtecího strobovacího signálu "POVOLENÍ ČTENÍ" (aktivního při logické hodnotě 0). Adresa místa ve vnitřní paměti programu se přivádí na špičky portu 1 a špičky P2.0 - P2.3 portu 2. Ostatní špičky portu 2 a špička $\overline{\text{PSEN}}$ jsou připojeny na logickou hodnotu 0, špičky $\overline{\text{ALE}}$, $\overline{\text{EA}}$ a RST na logickou hodnotu 1. Obsahy adresovaných míst vystupují na špičky portu 0. Při této činnosti je zapotřebí, aby výstup portu 0 byl posílen vnějšími obvody.

Zapojení podle obr. 35 se užívá i při ověřování vnitřní paměti programu ROM u obvodu 8051AH.

2.13.3 Zabezpečení paměti programu

Obvod 8751H obsahuje zabezpečovací bit, který, pokud je naprogramován, zabraňuje možnosti zvnějšku pracovat jakýmikoliv elektrickými prostředky s vnitřní pamětí programu. Uspořádání a postup pro naprogramování zabezpečovacího bitu je stejný, jako pro normální programování jen s tou výjimkou, že se špička P2.6 připojí na logickou hodnotu 1 v úrovni TTL. Zapojení je na obr. 36. Port 0, port 1 a špičky P2.0 - P2.3 portu 2 mohou být v jakémkoliv stavu.

Je-li zabezpečovací bit jednou naprogramován, může se zrušit pouze úplným vymazáním paměti programu. Po naprogramování zabezpečovacího bitu nemůže být přečtena vnitřní paměť programu, obvod nemůže být dále programován a nelze provádět program z vnější paměti programu. Vymazáním paměti EPROM se zabezpečovací bit zruší a obnoví se úplná funkční schopnost obvodu, který se může znovu naprogramovat.



Obr. 36 Programování zabezpečovacího bitu u obvodu 8751H

2.13.4 Mazací charakteristiky

Mazání vnitřní paměti programu u obvodu 8751H začíná tehdy, vystaví-li se čip světlu, které má vlnovou délku kratší než přibližně 4000 Angströmů. Protože sluneční světlo a zářivkové osvětlení má vlnové délky v tomto rozsahu, může dojít k vymazání paměti, vystavíme-li obvod slunečnímu světlu po dobu jednoho týdne nebo zářivkovému osvětlení v místnosti po dobu tří roků. Je-li obvod 8751H vystaven některému z těchto typů osvětlení, je vhodné umístit na okénko čipu ochranný kryt.

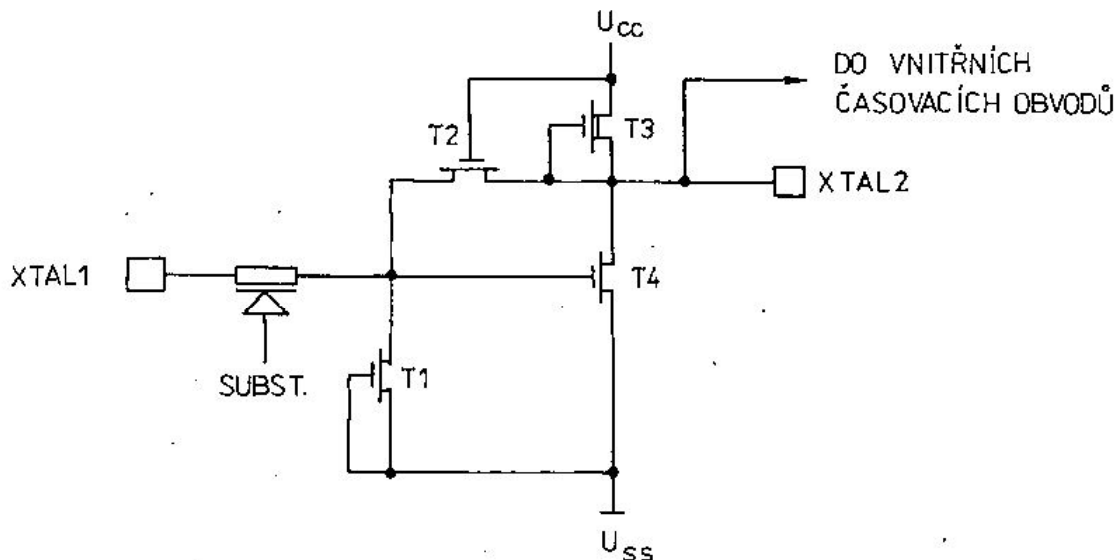
Doporučený mazací postup určuje, že se obvod ozáří ultrafialovým světlem (o vlnové délce 2537 Angströmů) v celistvé dávce nejméně 15 W/cm^2 . Pro vymazání stačí ozáření obvodu ultrafialovým světlem z lampy o výkonu $12\,000 \mu\text{W/cm}^2$ po dobu dvaceti až třiceti minut ze vzdálenosti asi jednoho palce. Mazání uvede všechny paměťové buňky vnitřní paměti programu do logické hodnoty 1.

2.14 Popis oscilátoru na čipu

V tomto článku jsou podrobněji rozebrány vlastnosti oscilátoru na čipu pro verzi HMOS a CHMOS obvodů 8051 a 8052.

2.14.1 Verze HMOS

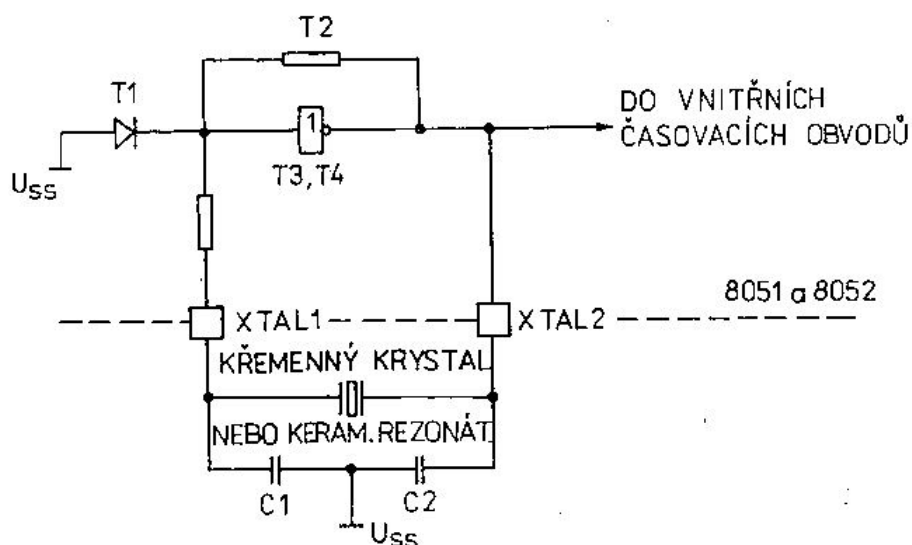
Obvody oscilátoru na čipu pro verzi HMOS - I a HMOS - II u obvodů 8051 a 8052 jsou jednostupňové lineární invertory, jak ukazuje obr. 37. Užívají se jako krystalem řízené oscilátory s kladnou reaktancí, jak je znázorněno na obr. 38.



Obr. 37 Obvod oscilátoru na čipu ve verzi HMOS obvodů 8051 a 8052

V této aplikaci pracuje krystal v základním režimu jako induktivní reaktance v paralelní resonanci s vnějšími kapacitami připojenými ke krystalu.

Vlastnosti krystalu a hodnoty kapacit C1 a C2 nejsou kritické. Mohou se užít kapacity 30 pF pro jakoukoliv frekvenci a kvalitní krystal. V aplikacích, kde hraje roli cena, se může použít keramický rezonátor. V tom případě se hodnoty



Obr. 38 Použití oscilátoru HMOS na čipu

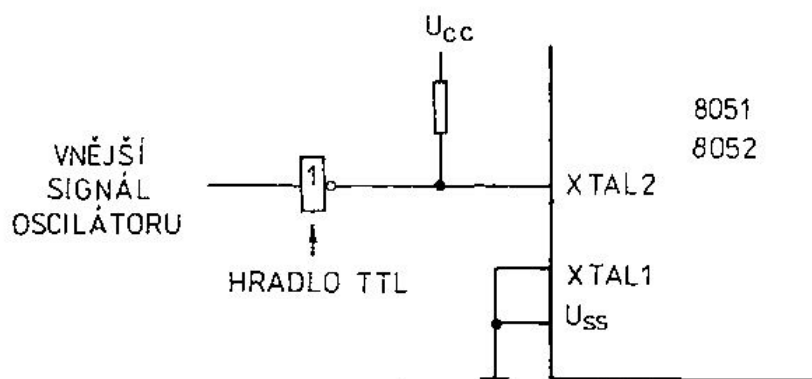
kapacit C1 a C2 volí poněkud vyšší, typicky 47 pF. Velikost kapacity kondensátorů by se měla konzultovat s výrobcí rezonátorů.

Pro buzení částí HMOS z vnějšího zdroje hodin se vnější hodinový signál zavede na špičku XTAL2 a špička XTAL1 se uzemní, jak ukazuje obr. 39. Je vhodný posilovací rezistor, neboť logická úroveň na špičce XTAL2 není TTL.

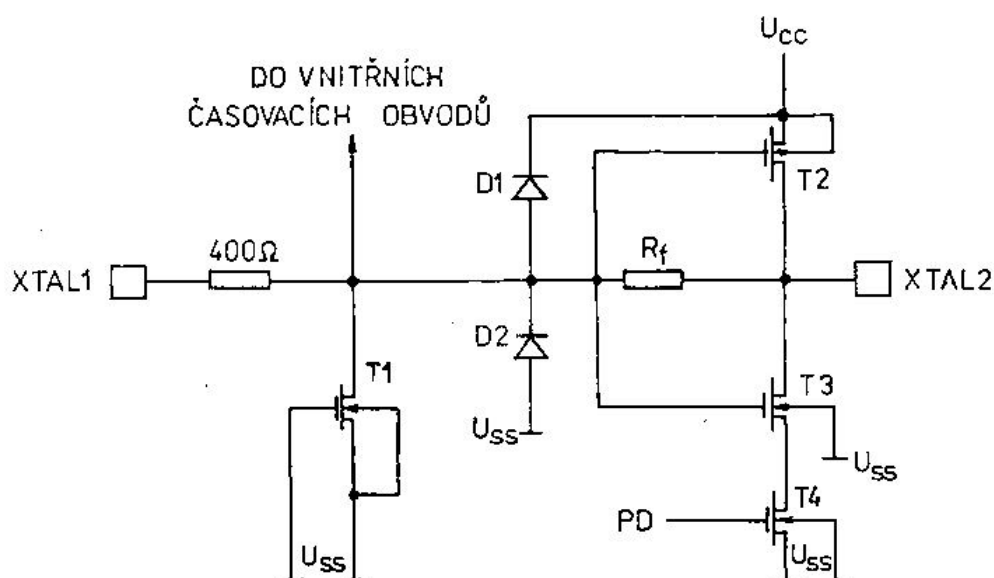
2.14.2 Verze CHMOS

Obvod oscilátoru na čipu pro jednočipové mikrořadiče 80C31 a 80C51 je na obr. 40. Skládá se z jednostupňového lineárního invertoru, který pracuje jako krystalem řízený oscilátor s kladnou reaktancí podobně, jako u verze HMOS. Jsou zde však některé důležité rozdíly.

Jeden rozdíl je ten, že obvody 80C31 a 80C51 jsou schopny vypnout svůj oscilátor na základě softwarových pokynů (zápisem logické hodnoty 1 do bitu PD v registru speciálních funkcí PCON). Jiným rozdílem je to, že u obvodů verze CHMOS



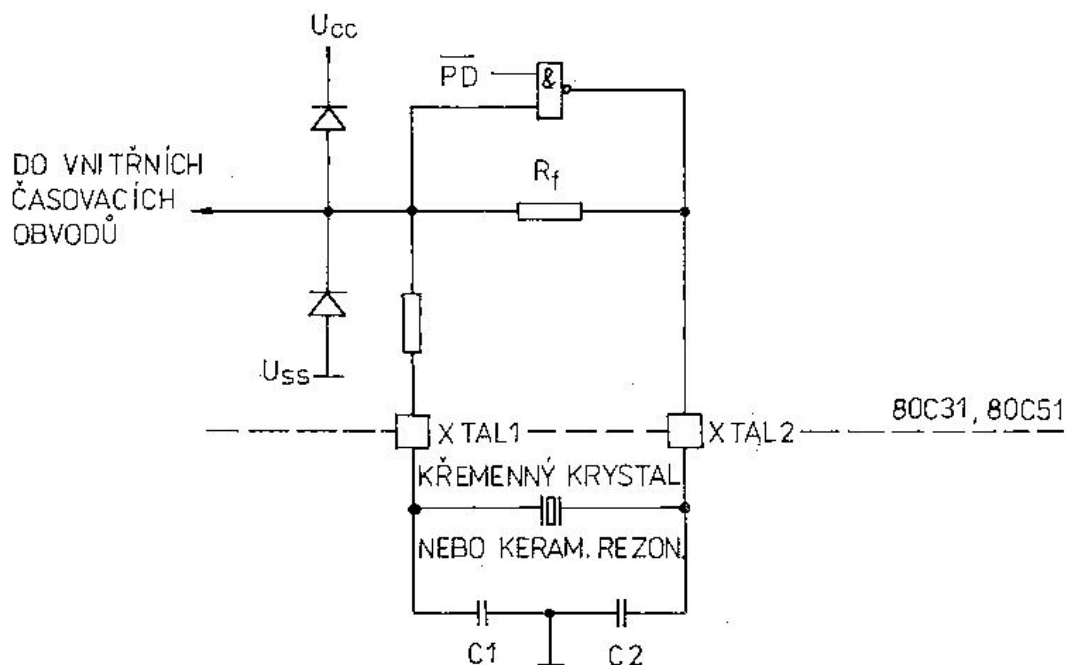
Obr. 39 Vnější zdroj hodin pro verzi HMOS obvodů 8051 a 8052



Obr. 40 Obvod oscilátoru na čipu ve verzi CHMOS obvodů 8051 se vnitřní hodinový obvod budí signálem ze špičky XTAL1, zatímco ve verzi HMOS je to signálem ze špičky XTAL2.

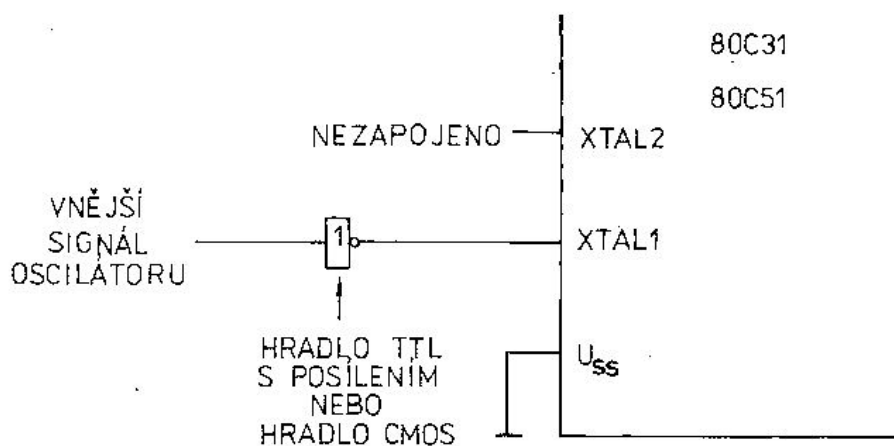
Zpětnovazební rezistor R_f na obr. 40 je vytvořen paralelním n a p kanálem tranzistorů FET řízených bitem PD. Je-li logická hodnota bitu PD = 1, je rezistor R_f otevřen. Diody D1 a D2 představují parazitní svody rezistoru R_f z tranzistorů FET mezi napětím U_{CC} a U_{SS} .

Oscilátor se může použít se stejnými vnějšími součástkami jako u verze HMOS, což je znázorněno na obr. 41. Typicky bývá $C1 = C2 = 30 \text{ pF}$, je-li zpětnovazebním prvkem křemenný krystal. V případě použití keramického rezonátoru bývá $C1 = C2 = 47 \text{ pF}$.



Obr. 41 Použití oscilátoru CHMOS na čipu

Budíme-li částí CHMOS z vnějšího zdroje hodin, přivádí se vnější hodinový signál na špičku XTAL1 a špička XTAL2 zůstává nezapojena, jak ukazuje obr. 42.



Obr. 42 Vnější zdroj hodin pro verzi CHMOS obvodů 8051

3. ORGANIZACE PAMĚTI, ZPŮSOBY ADRESOVÁNÍ A BOOLEOVSKÝ PROCESOR

3.1 Úvod

Mikrořadiče 8051 a 8052 mají jednak integrovanou paměť na čipu, a jednak mohou využívat rozšířenou kapacitu paměti vně čipu. U těchto obvodů existuje několik adresovacích mechanismů, které dovolují optimální výstavbu souboru instrukcí.

3.2 Organizace paměti

Obvody 8051 a 8052 mají tři základní paměťové prostory:

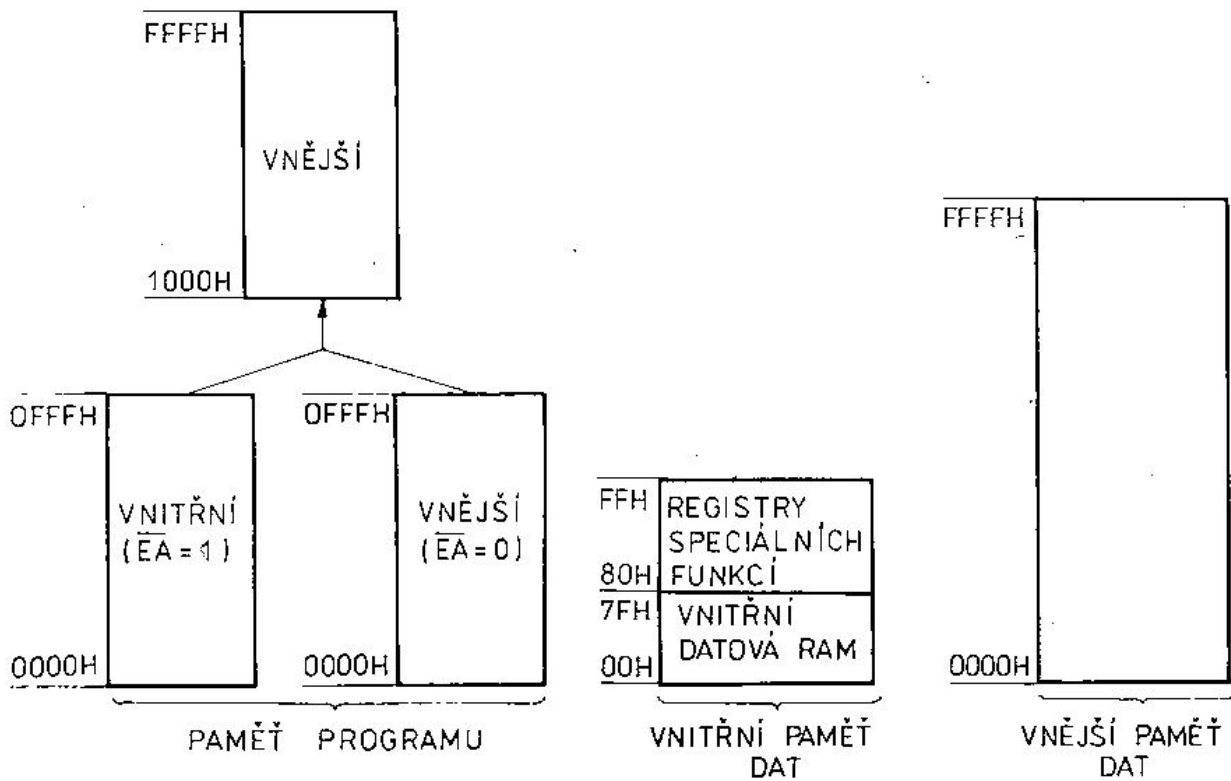
- 64 KB paměti programu;
- 64 KB vnější paměti dat;
- 256 B (384 B pro obvody 8052) vnitřní paměti dat.

Struktura paměťových prostorů je názorně uvedena na obrázku 43.

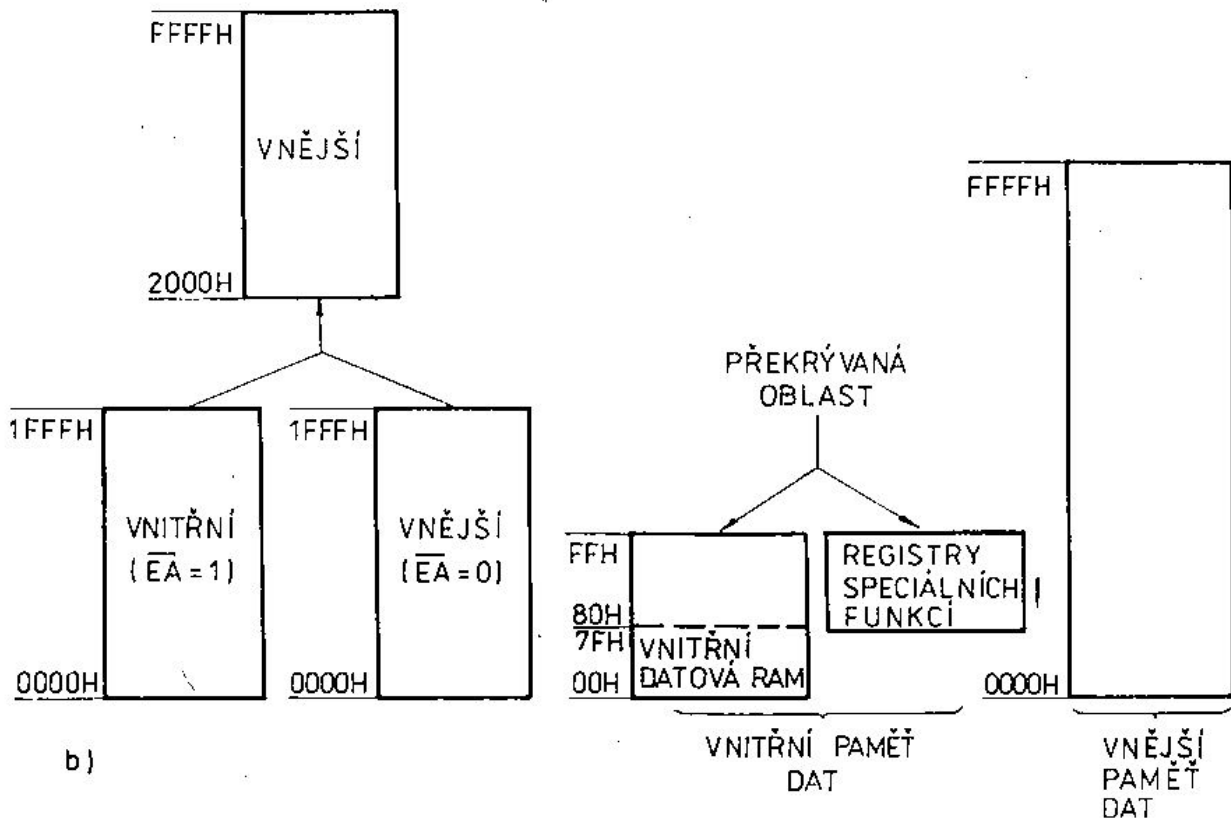
3.2.1 Adresový prostor paměti programu

Adresový prostor paměti programu má velikost 64 KB a skládá se z vnitřní a vnější části paměti. Je-li na špičku \overline{EA} přivedena logická hodnota 1, provádí obvody 8051 a 8052 program z vnitřní paměti programu, pokud adresa nepřekročí hodnotu 0FFFH (pro obvody 8052 hodnotu 1FFFH). Obsahy adres 1000H až 0FFFFH (2000H až 0FFFFH pro obvody 8052) se vybírají z vnější paměti programu. V případě připojení špičky \overline{EA} na logickou hodnotu 0 se všechny instrukce vybírají z vnější paměti programu. V každém případě se pro adresování používá šestnáctibitový programový čítač.

Paměťová místa o adresách 00H až 23H (00H až 2BH pro obvody 8052) v paměti programu jsou využívána pro přechod do obslužných programů přerušení tak, jak ukazuje tabulka 16.



a)



b)

Obr. 43 Struktura paměťových prostorů

a) u obvodů 8051

b) u obvodů 8052

Adresy počátku
obsluhy přerušeni Tabulka 16

Zdroj přerušeni	Adresa
Vnější přerušeni 0	0003H
Přetečení časovače 0	000BH
Vnější přerušeni 1	0013H
Přetečení časovače 1	001BH
Sériový port	0023H
Přetečení časovače 2 nebo záporná změna na špičce T2EX	002BH (jen u obvodů 8052)

3.2.2 Adresový prostor paměti dat

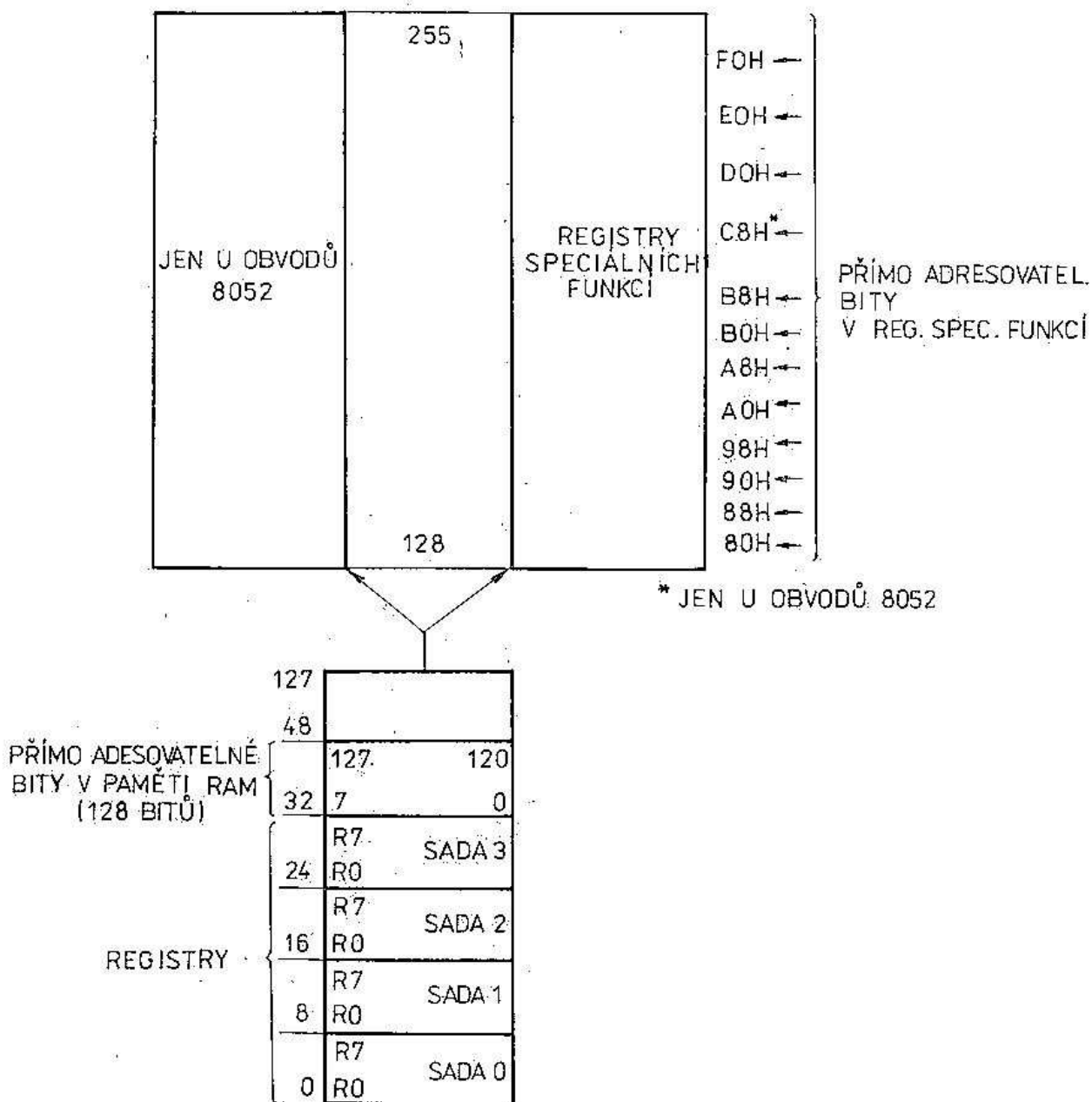
Adresový prostor paměti dat se skládá z vnitřního a vnějšího adresového prostoru. Vnější paměť dat se používá při provádění instrukce MOVX.

Vnitřní paměť dat se dělí na tři fyzicky oddělené a vyznačené bloky:

- nižších 128 bytů RAM;
- vyšších 128 bytů RAM (dosažitelných pouze u obvodů 8052);
- 128 bytů registrů speciálních funkcí.

I když horní oblast paměti RAM a oblast registrů speciálních funkcí mají stejný adresový prostor, jsou dosažitelné rozdílnými způsoby adresování, které budou probrány později.

Na obr. 44 je struktura paměťového prostoru vnitřní paměti dat. Celkem existují čtyři sady registrů, z nichž každá obsahuje osm osmibitových registrů. Sady registrů zabírají adresy 0 až 31 v nižší oblasti paměti RAM. V každém okamžiku může být povolena pouze jediná sada registrů (výběr se řídí dvoubitovým polem v PSW). Další šestnáct bytů o adresách 32 až



Obr. 44 Struktura paměťového prostoru vnitřní paměti dat

47 obsahuje 128 pozic adresovatelných po jednotlivých bitech. Na obr. 45 jsou znázorněny bitové adresy v paměti RAM. Oblast registrů speciálních funkcí má také bitově adresovatelná místa, která přehledně ukazuje obr. 46.

Poznamenejme, že čtení obsahu nepoužitých míst ve vnitřní paměti dat vede k získání nahodilých dat.

RAM									
byty	(v. ř.) Adresy bitů (n. ř.)								
7FH									127
2FH	7F	7E	7D	7C	7B	7A	79	78	47
2EH	77	76	75	74	73	72	71	70	46
2DH	6F	6E	6D	6C	6B	6A	69	68	45
2CH	67	66	65	64	63	62	61	60	44
2BH	5F	5E	5D	5C	5B	5A	59	58	43
2AH	57	56	55	54	53	52	51	50	42
29H	4F	4E	4D	4C	4B	4A	49	48	41
28H	47	46	45	44	43	42	41	40	40
27H	3F	3E	3D	3C	3B	3A	39	38	39
26H	37	36	35	34	33	32	31	30	38
25H	2F	2E	2D	2C	2B	2A	29	28	37
24H	27	26	25	24	23	22	21	20	36
23H	1F	1E	1D	1C	1B	1A	19	18	35
22H	17	16	15	14	13	12	11	10	34
21H	0F	0E	0D	0C	0B	0A	09	08	33
20H	07	06	05	04	03	02	01	00	32
1FH	SADA REGISTRŮ 3								31
18H									24
17H	SADA REGISTRŮ 2								23
10H									16
0FH	SADA REGISTRŮ 1								15
08H									8
07H	SADA REGISTRŮ 0								7
00H									0

Obr. 45 Adresy bitů ve vnitřní paměti dat

Přímá
adresa
bytu (v. ř.)

Adresy bitů

(n. ř.)

Symbol
hardw.
reg.

240 (F0H)	F7	F6	F5	F4	F3	F2	F1	F0	B
224 (E0H)	E7	E6	E5	E4	E3	E2	E1	E0	ACC
208 (D0H)	CY	AC	F0	RS1	RS0	OV		P	PSW
200 (C8H)	D7	D6	D5	D4	D3	D2	D1	D0	PSW
200 (C8H)	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2	T2CON
184 (B8H)	CF	CE	CD	CC	CB	CA	C9	C8	T2CON
176 (B0H)			PT2	PS	PT1	PX1	PT0	PX0	IP
176 (B0H)	---	---	BD	BC	BB	BA	B9	B8	IP
168 (A8H)	B7	B6	B5	B4	B3	B2	B1	B0	P3
168 (A8H)	EA		ET2	ES	ET1	EX1	ET0	EX0	IE
160 (A0H)	AF	---	AD	AC	AB	AA	A9	A8	IE
160 (A0H)	A7	A6	A5	A4	A3	A2	A1	A0	P2
152 (98H)	SMO	SM1	SM2	REN	TB8	RB8	TI	RI	SCON
144 (90H)	9F	9E	9D	9C	9B	9A	99	98	SCON
144 (90H)	97	96	95	94	93	92	91	90	P1
136 (88H)	TF1	TR1	TFO	TRO	IE1	IT1	IE0	IT0	TCON
136 (88H)	8F	8E	8D	8C	8B	8A	89	88	TCON
128 (80H)	87	86	85	84	83	82	81	80	P0

Obr. 46 Adresy bitů v registrech speciálních funkcí
ve vnitřní paměti dat

3.3 Způsoby adresování

Mikrořadiče 8051 a 8052 užívají pět způsobů adresování:

- adresování s registrem;
- adresování přímé;
- adresování nepřímé s registrem;
- adresování s přímým operandem;
- adresování nepřímé s bazovým registrem a s indexovým registrem.

V tabulce 17 jsou shrnuty způsoby adresování s vyznačením, pro které oblasti paměti se používají.

Metody adresování a přiřazené
paměťové oblasti

Tabulka 17

<p><u>Adresování s registrem</u></p> <ul style="list-style-type: none">- R0 až R7;- A, B, CY (bit), AB (dva byty), DPTR (dvojitý byte).
<p><u>Adresování přímé</u></p> <ul style="list-style-type: none">- nižších 128 bytů ve vnitřní paměti dat;- registry speciálních funkcí;- 128 bitů ve vnitřní paměti dat;- bity v určených registrech speciálních funkcí.
<p><u>Adresování nepřímé s registrem</u></p> <ul style="list-style-type: none">- vnitřní paměť dat (@R0, @R1, @SP - jen PUSH a POP);- nižší čtveřice bitů ve vnitřní paměti dat (@R0, @R1);- vnější paměť dat (@R0, @R1, @DPTR).
<p><u>Adresování s přímým operandem</u></p> <ul style="list-style-type: none">- paměť programu (přímý operand je ve strojovém kódu instrukce).
<p><u>Adresování nepřímé s bazovým registrem a s indexovým registrem</u></p> <ul style="list-style-type: none">- paměť programu (@DPTR+A, @PC+A).

3.3.1 Adresování s registrem

Adresování s registrem se týká osmi pracovních registrů (R0 až R7) vybrané sady registrů. Nejnižší tři bity operačního znaku instrukce označují, který registr se užije. Jako registry mohou být také adresovány A, B, CY, AB, DPTR a střadač booleovského procesoru.

3.3.2 Adresování přímé

Přímé adresování je jediný způsob, který dovoluje práci s registry speciálních funkcí a s nižšími 128 byty vnitřní paměti dat (RAM).

3.3.3 Adresování nepřímé s registrem

Nepřímé adresování s registrem užívá obsahy registrů R0 nebo R1 (ve zvolené sadě registrů) jako ukazatel na paměťové místo ve 128 bytovém nebo ve 256 bytovém bloku. Tímto paměťovým blokem může být:

- nižších 128 bytů vnitřní paměti dat (existují instrukce pro práci s obsahem celého bytu nebo pro práci pouze s nižší čtveřicí bitů adresovaného bytu);
- vyšších 128 bytů vnitřní paměti dat (pouze u obvodů 8052);
- 256 bytů vnější paměti dat (číslo bloku ve vnější paměti dat může být podle potřeby předvoleno obsahem portu).

Povšimněme si, že tímto způsobem nelze adresovat registry speciálních funkcí. Styk s celou 64 KB oblastí vnější paměti dat se zabezpečuje prostřednictvím šestnáctibitového ukazatele dat DPTR.

Instrukce PUSH a POP užívají rovněž tohoto způsobu adresování, ovšem funkcí adresovacího registru ve vnitřní paměti dat má ukazatel zásobníku SP, který může být nastaven kamkoliv ve vnitřní paměti RAM.

3.3.4 Adresování s přímým operandem

Tento způsob adresování dovoluje umístit přímý operand (konstantu) do strojového kódu instrukce v paměti programu.

3.3.5 Adresování nepřímé s bázovým registrem a s indexovým registrem

Nepřímé adresování s bázovým registrem a s indexovým registrem zjednodušuje prohlížení tabulek pevně umístěných v paměti programu. Tímto způsobem lze pracovat v tabulce s bytem, jehož adresa je dána součtem obsahu bázového registru (DPTR nebo PC) a obsahu indexového registru (A).

3.4 Booleovský procesor

Booleovský procesor je bitový procesor integrovaný uvnitř mikrořadičů 8051 a 8052. Má svůj vlastní soubor instrukcí, střadač (příznak přenosu), bitově adresovatelnou vnitřní paměť RAM a V/V.

Instrukce pro práci s bity dovolují bit nastavit do logické hodnoty 1, vynulovat, negovat, provádět větvení v programu v závislosti na nastavení nebo vynulování bitu, provádět větvení v programu při nastaveném bitu a jeho následným vynulováním a přesouvat údaje z nebo do bitu přenosu. S hodnotou adresovatelných bitů (nebo s jejich negací) a s hodnotou příznaku přenosu může být proveden logický součin nebo logický součet. Výsledek operace se umístí do bitu příznaku přenosu.

4. ROZŠÍŘOVÁNÍ SYSTÉMU

Mikroprocesorová sběrnice obvodů 8051 a 8052 dovoluje řešení širokého okruhu uživatelských problémů. Multiplexovaná adresová a datová sběrnice poskytuje rozhraní, které je kompatibilní se standardními obvody používanými u mikroprocesorových stavebnic MCS - 80/85 včetně jednočipových programovatelných obvodů V/V a programovatelného časovače. Přehled obvodů připojitelných k mikrořadičům 8051 a 8052 je v tabulce 18.

Obvody pro rozšíření mikrořadičů
8051 a 8052

Tabulka 18

	Druh obvodu	Označení	Popis	Poznámka
	Expander V/V	8243	Expander V/V 4 x 4 bity	
Kompatibilní složky ze stavebnice MCS 80/85	Standardní paměti EPROM	2758	1 KB 450 ns	Uživatелеm elektricky programovatelné a mazatelné ultrafialovým světlem.
		2716-1	2 KB 350 ns	
		2732	4 KB 450 ns	
		2732A	4 KB 250 ns	
	Standardní paměti RAM	2114A	1 K x 4 100 ns	Paměť dat se snadno rozšíří standardními paměťmi NMOS RAM.
2148		1 K x 4 70 ns		
2142-2		1 K x 4 200 ns		
Multiplexovaná adresová/ datová RAM	8185A	1 KB 300 ns		
Standardní obvody V/V	8212	8-bitový port	Slouží pro zachycení adresy nebo pro funkce V/V.	
	8282	8-bitový port		
	8283	8-bitový port		

Tab. 18 - pokrač.

	Druh obvodu	Označení	Popis	Poznámka
Kompatibilní složky ze stavebnic MCS 80/85	Standardní obvody V/V	8255A	Programovatelný obvod V/V pro paralelní přenos dat.	Obsahuje tři 8-bitové programovatelné porty V/V.
		8251A	Programovatelný obvod V/V pro sériový přenos dat.	Obsahuje přijímač a vysílač sériových dat.
	Standardní periferní obvody	8205	Dvojkový dekodér 1 z 8.	Periferní obvody stavebnic MCS 80/85 jsou kompatibilní s 8051 a 8052 a dovolují snadná rozšíření o speciální rozhraní.
		8286	Obousměrný buďič sběrnice.	
		8287	Invertující obousměrný buďič sběrnice.	
		8253A	Programovatelný časovač.	
		8279	Programovatelné rozhraní klávesnice/displej (128 kláves).	
		8291	Převodník signálů GPIB.	
		8292	Řadič GPIB.	

Tab. 18 - pokrač.

	Druh obvodu	Označení	Popis	Poznámka
Kompatibilní složky ze stavebnice MCS 80/85	Univerzální periferní rozhraní	8041A	Paměť programu ROM.	Uživatелеm programovatelné pro obvyklé V/V a řídicí funkce.
		8741A	Paměť programu EPROM.	
	Paměť, funkce V/V a periferní funkce	8155-2	256 B 330 ns	RAM
8355-2		2 KB 300 ns	ROM	
8755-2		2 KB 300 ns	EPROM	

4.1 Příklady rozšíření systému

V dalších člancích jsou uvedeny příklady připojení expanderu 8243, vnější paměti programu 2716 a 2732 a vnější paměti dat 8155 k mikrořadičům 8051. Dále je uvedeno zapojení pro poloduplexní sériový přenos a pro obsluhu více zdrojů přerušení.

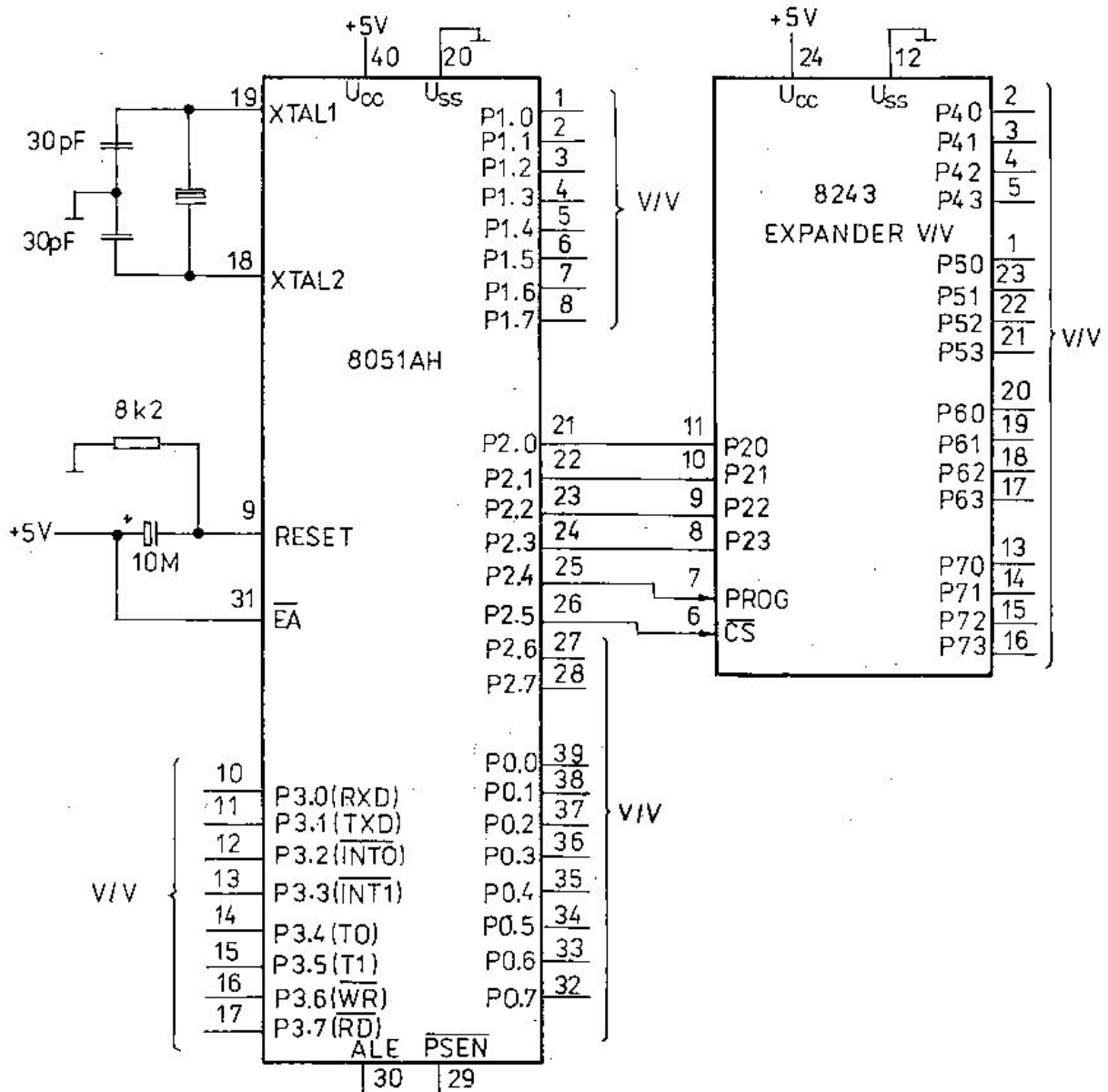
4.1.1 Připojení expanderu 8243

Připojení expanderu 8243 k mikrořadiči 8051AH je znázorněno na obr. 47. V tomto zapojení se port 2 využívá pro paralelní vstup nebo výstup a pro generování řídicích signálů nutných pro ovládání expanderu. Softwarový ovladač, který respektuje rozhraní obvodu 8243, může být vytvořen např. takto:

```

.
.
.
;VSTUPNI DATA Z EXPANDERU V/V 8243
;JSOU PRIPOJENA K P2.3 - P2.0
;P2.5 - SIGNAL CS/

```



Obr. 47 Rozšíření V/V obvodem 8243

;P2.4 - SIGNAL PROG

;P2.7, P2.6 JSOU VYUZITY JAKO VSTUPY

;OBSAH PORTU 2 SE CTE DO STRADACE

;

VSTUP: ORL A, #11010000B ;RIDICI INFORMACE PRO 8243

MOV P2,A ;JEJI ZAPIS DO P2

CLR P2.4 ;SESTUPNA HRANA SIGNALU PROG

```

ORL   P2,#00001111B   ;NASTAVENI P2.3 - P2.0
                                ;PRO VSTUP
MOV   A,P2           ;CTENI VSTUPNICH DAT
SETB  P2.4           ;NAVRAT PROG DO LOGICKE
                                ;HODNOTY 1
.
.
.

```

4.1.2 Připojení vnější paměti programu 2716

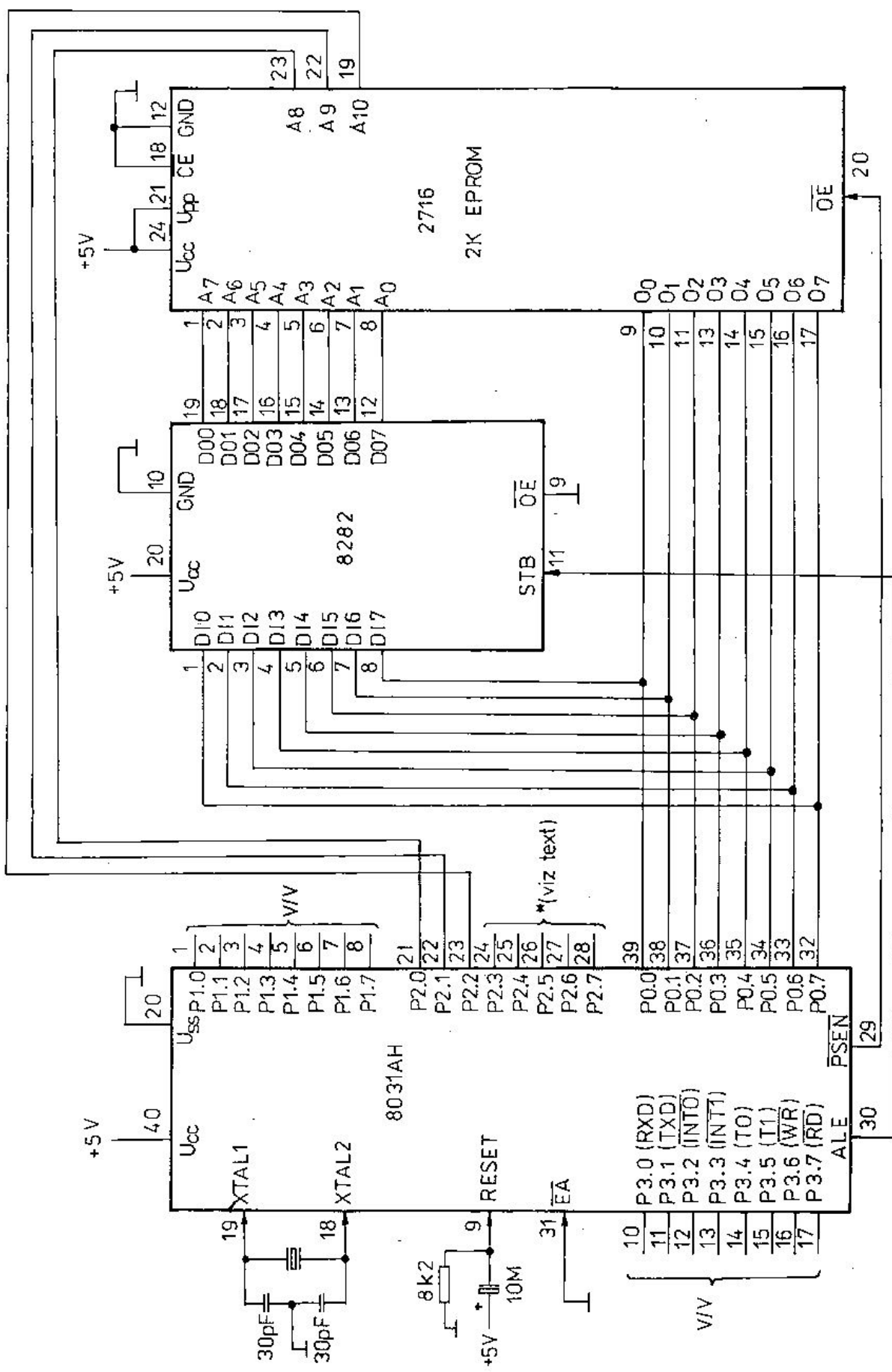
Technické vybavení potřebné pro připojení vnější paměti programu 2716 (EPROM 2 KB) k mikrořadiči 8031AH je na obr. 48. Pro zapamatování osmi nižších bitů adresy je použit obvod 8282 (osmibitový registr s třístavovými výstupními budiči). Vzhledem k tomu, že se část portu 2 využívá jako adresová sběrnice, nelze špičky P2.3 až P2.7 (v obr. 48 jsou označeny hvězdičkou) použít jako vstupy nebo výstupy.

4.1.3 Připojení vnější paměti programu 2732A

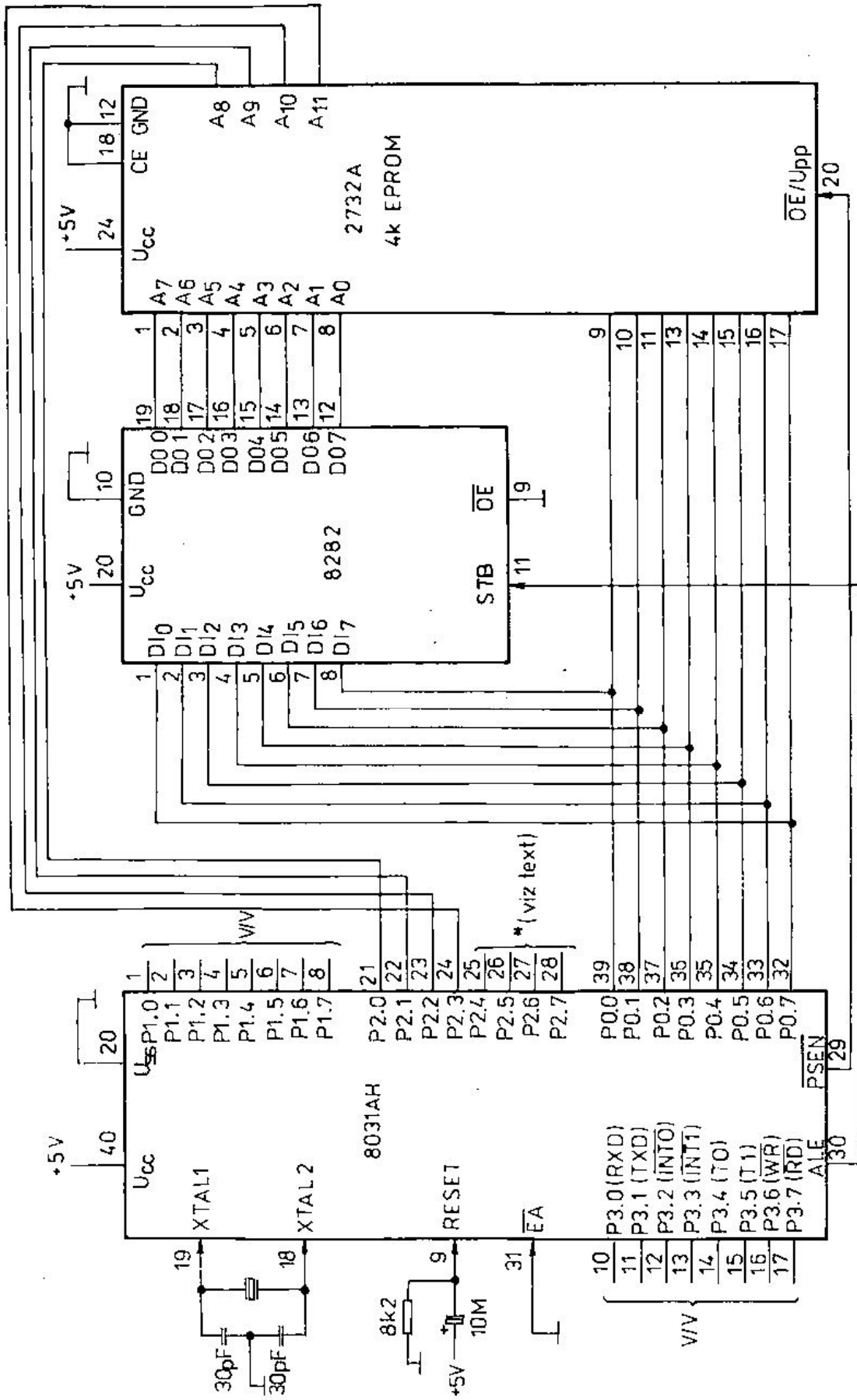
Způsob připojení vnější paměti programu 2732A (EPROM 4 KB) k mikrořadiči 8031AH je znázorněn na obr. 49. Zapojení je obdobné jako u paměti 2716 s tím rozdílem, že další potřebný adresový bit (A_{11}) se generuje v bitu P2.3. Špičky P2.4 až P2.7 portu 2 (v obr. 49 jsou označeny hvězdičkou) opět nelze použít jako vstupy nebo výstupy z důvodu využití části portu 2 pro adresovou sběrnici.

4.1.4 Připojení vnější paměti dat a expanderu V/V

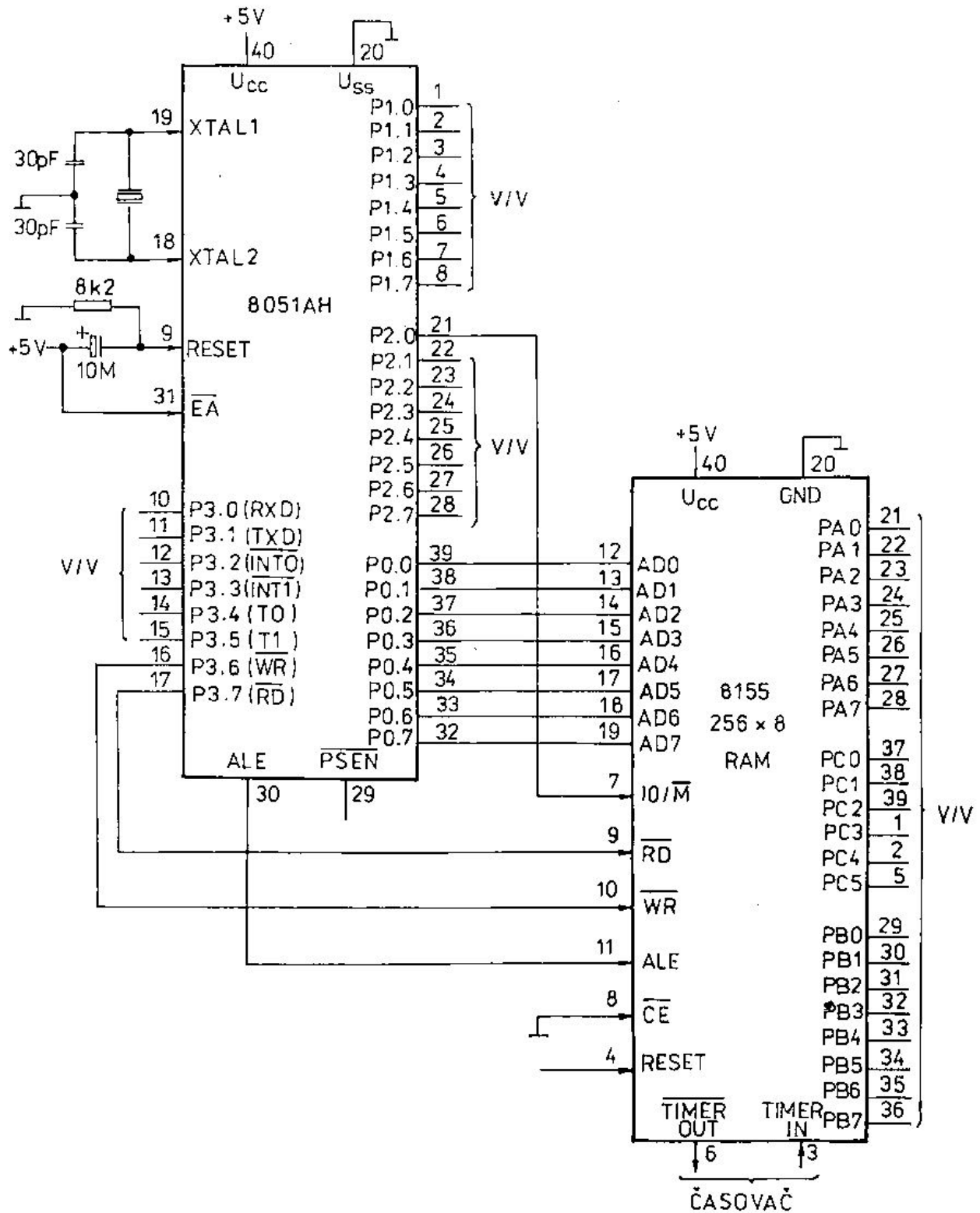
Vnější paměť dat o kapacitě 256 B a expander V/V jsou realizovány obvodem 8155. Jeho připojení k mikrořadiči 8051AH je na obr. 50. Pro funkci RESET obvodu 8155 může být využita systémová funkce RESET nebo některá linka portů mikrořadiče 8051.



Obr. 48 Připojení vnější paměti programu 2716 k mikrořadiči 8031AH



Obr. 49 Připojení vnější paměti programu 2732A k mikrořadiči 8031AH



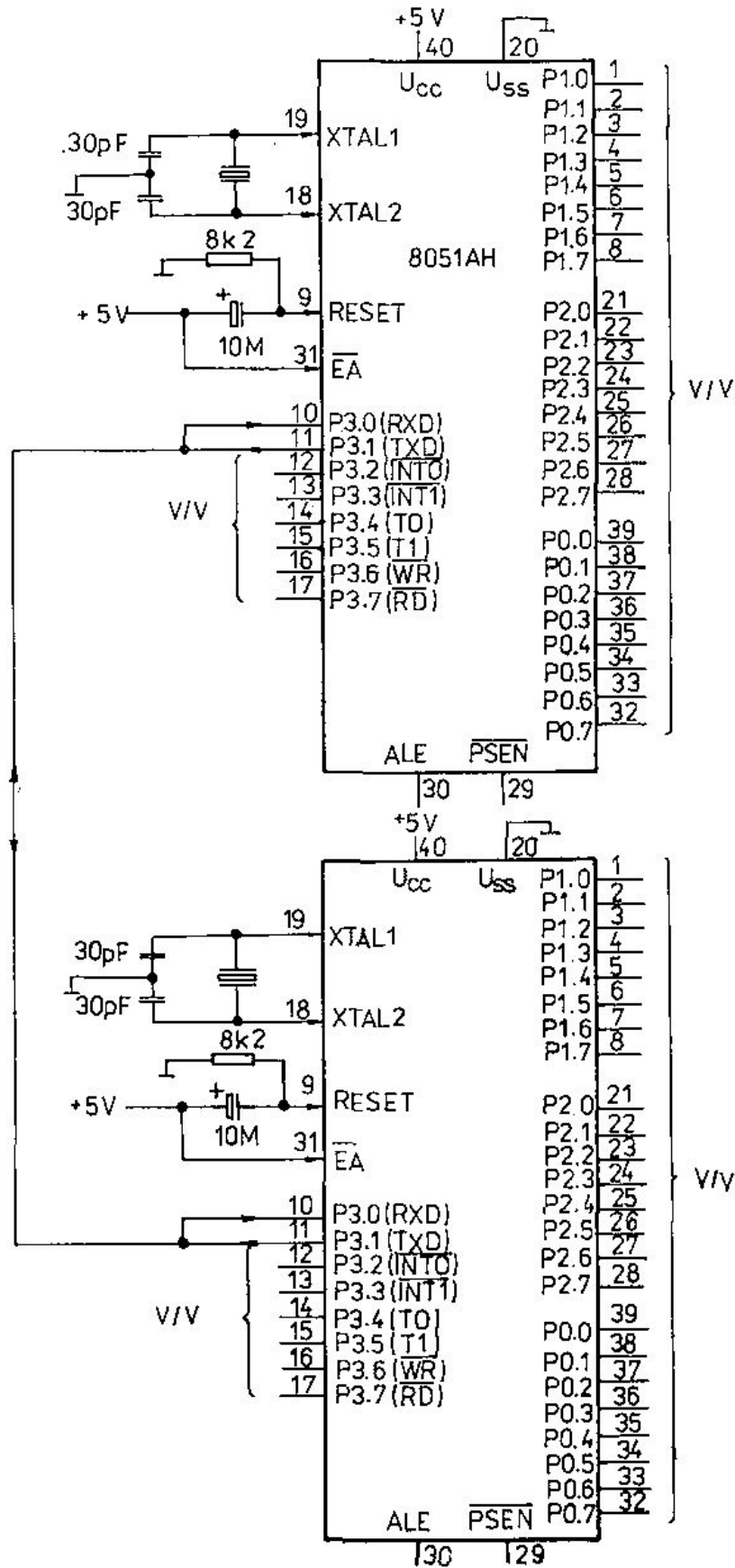
Obr. 50 Připojení vnější paměti dat a expanderu V/V

4.2 Poloduplexní sériový přenos dat

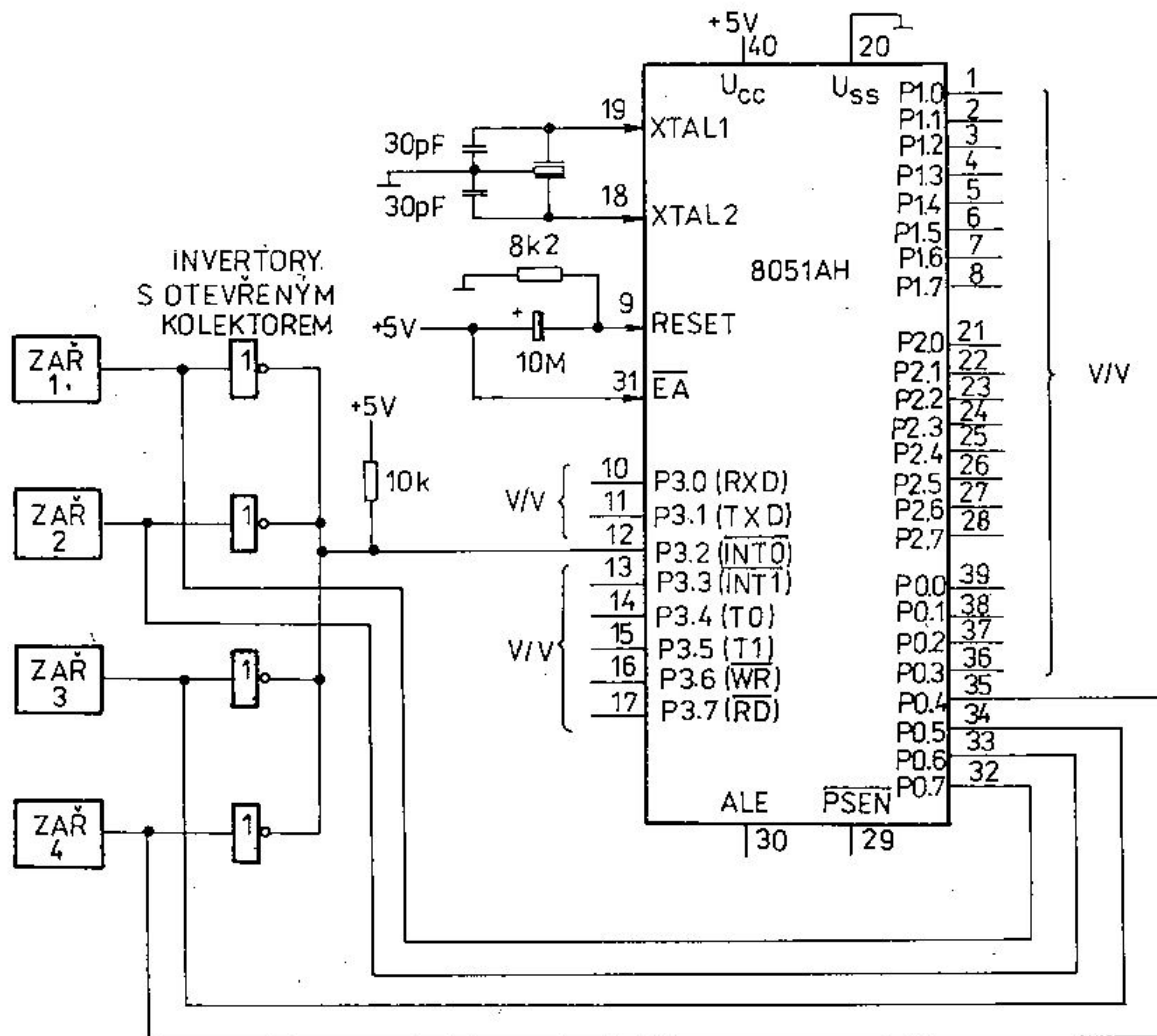
Spojení dvou mikrořadičů 8051AH pro poloduplexní sériový přenos dat je znázorněno na obr. 51. Při přenosu se využívá alternativních funkcí špiček portu 3. Špičkou P3.0 (RXD) se sériová data přijímají, špičkou P3.1 (TXD) jsou sériová data vysílána.

4.3 Přerušeni z více zdrojů

Vytvoření systému s vícenásobnými zdroji požadavků na přerušeni může být uskutečněno zapojením na obr. 52. V tomto případě mají všechna zařízení stejnou prioritu a rozpoznání žádosti o přerušeni se zajišťuje programově čtením a následnou analýzou stavu špiček P0.4 až P0.7 portu 0. Je samozřejmé, že pro uplatnění požadavku na přerušeni na vstupu $\overline{\text{INT0}}$, musí být předem přerušovací systém aktivován.



Obr. 51 Propojení mikrořadičů 8051 pro poloduplexní sériový přenos dat



Obr. 52 Systém s více zdroji přerušeni

5. VÝVOJOVÉ PROSTŘEDKY PRO NÁVRH SYSTÉMŮ S OBVODY 8051

Vývojové prostředky obecně umožňují efektivní návrh systémů s mikroprocesory nebo jednočipovými mikrořadiči, pro něž jsou předurčeny. Musí proto svou kvalitou odpovídat složitosti i specifickým vlastnostem těchto obvodů. V této kapitole jsou pouze přehledově popsány základní programové a technické vývojové prostředky, které pro obvody řady 8051 vyvinula firma INTEL. Podrobný popis vývojových prostředků, které budou vyvinuty a používány v ČSSR, bude náplní samostatných příruček.

5.1 Programové vývojové prostředky

Do základních programových vývojových prostředků lze zahrnout překladače (makroassembler ASM51, kompilátor PL/M 51), pomocné programy (sestavovací a umístovací program RL51, knihovnik LIB51, program pro převod assembleru 8048 do assembleru 8051 - CONV51) a simulátory. Všechny uvedené programy pracují v prostředí disketového operačního systému ISIS - II (nosičem informací je disketa s délkou sektoru 128 B) nebo operačního systému ISIS - PDS (nosičem informací je minidisketa s délkou sektoru 256 B), které jsou implementovány na mikropočítačovém systému s kapacitou paměti 64 KB.

5.1.1 Makroassembler ASM51

Makroassembler ASM51 překládá instrukce symbolického jazyka assembler do kódu OBJ. Program psaný v tomto mnemonickém jazyku symbolických adres je mnohem přehlednější než strojové instrukce ve dvojkovém nebo šestnáctkovém tvaru. Programátor může dávat paměťovým místům symbolická jména, programové vybavení mikropočítačového systému určí absolutní adresy a zajistí rychlé a spolehlivé ladění programu.

ASM51 dovoluje použití mnoha užitečných způsobů adresování v architektuře obvodů 8051. V programech lze provádět odkazy na bity i byty a lze pracovat se čtyřbitovými operacemi v aritmetice čísel v kódu BCD. Jazyk assembler rovněž poskytuje symbolický přístup k bitům i bytům paměti RAM a k adresovému prostoru registrů speciálních funkcí.

Assembler umožňuje tvorbu makrodefinic a jejich volání. Tím poskytuje vhodné prostředky k tomu, aby se často opakující kódové sekvence programovaly pouze jednou.

V závěru překladu lze makroassemblerem zajistit výpis tzv. tabulky křížových referencí (odkazů), ve které je pro každý použitý symbol uvedeno číslo řádky v programu, kde byla symbolu přiřazena hodnota a čísla řádek odkazů (tj. čísla řádek, kde byl symbol použit jako operand v instrukci).

Obsahuje-li program pro 8051 ve zdrojovém tvaru chyby, makroassembler poskytuje soubor prostředků pro jejich diagnostiku a podává zprávy o chybách ve výpisu programu.

Generovaný kód OBJ může být využit buď pro naprogramování paměti EPROM integrované na čipu u obvodů 8751 nebo pro tovární výrobu obvodů 8051 s integrovanou pamětí ROM na čipu. Výstup makroassembleru se rovněž používá při ladění programu na emulátoru ICE - 51.

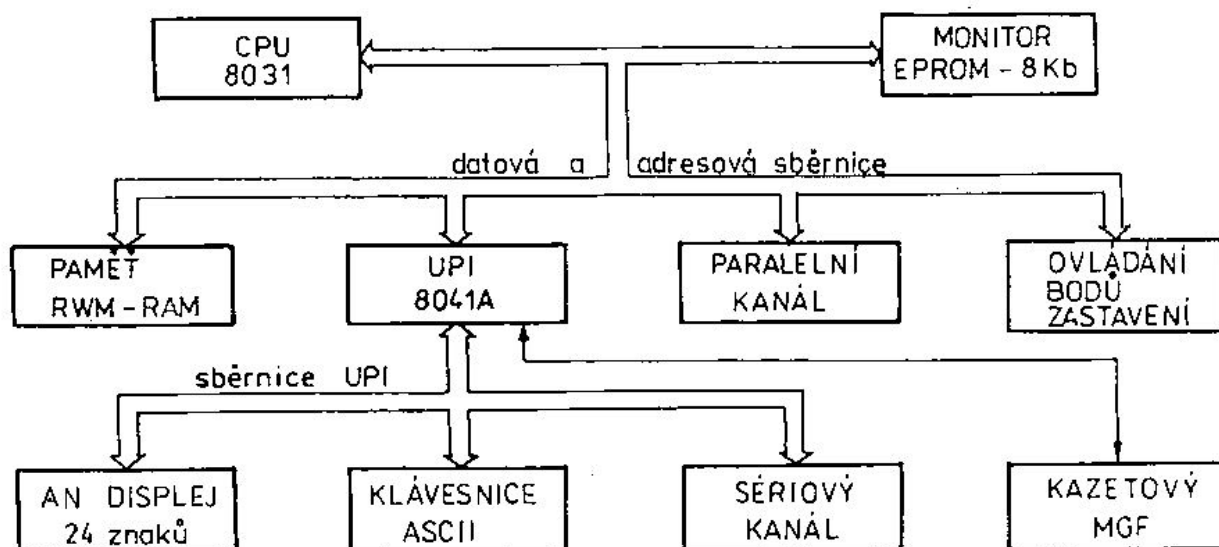
5.1.2 Převodní program CONV51

Převodní program CONV51 je určen pro převod programů z jazyka assembler pro jednočipové mikrořadiče 8048 do jazyka assembler jednočipových mikrořadičů 8051. Tak mohou být dříve vytvořené programy využívány i u mnohem výkonnějších obvodů řady 8051. Převodem zdrojového kódu 8048 do zdrojového kódu 8051 se zachovají softwarové investice vložené do vývoje programů pro obvody řady 8048.

5.2 Technické vývojové prostředky

5.2.1 Stavebnice SDK - 51

Stavebnice SDK - 51 (System Design Kit) je jednoduchá stavebnice, jejíž blokové schéma je na obr. 53.



Obr. 53 Blokové schéma stavebnice SDK - 51

Tato stavebnice dovoluje práci s mikrořadičem 8031 na úrovni strojového kódu a nebo lze využít zabudovaného řádkového assembleru. Součástí stavebnice je univerzální propojovací pole vhodné pro zapojování uživatelských aplikací. Pro připojení periférií a pro komunikaci s uživatelem je použit obvod 8041A (UPI - Universal Peripheral Interface). Řídící program monitor má délku 8 KB a je umístěn v paměti EPROM. Součástí monitoru je řádkový assembler, zpětný assembler, ovladače sériového kanálu a příkazy pro ladění uživatelského programu - spuštění (GO), krokování (STEP) a zastavování (SET BREAKPOINT) programu.

5.2.2 Emulační přípravek EM - 51

Emulační přípravek EM - 51 (Emulation Board) je zkonstruován na malé desce o rozměrech 2,85" x 5,25", která se zasouvá do patice místo emulovaného mikrořadiče 8031 nebo 8051 nebo 8751. Ve své činnosti využívá toho, že paměť programu je vyčleněna vně mikrořadiče a fyzicky je realizována dvěma paměťmi EPROM (buď typu 2716 nebo 2732), které se zasouvají do patic na desce EM - 51. Dále deska obsahuje speciální (běžně nedostupný) emulační obvod 8051E (je to modifikovaný mikrořadič 8051 se 64 vývody) a podpůrné obvody.

Emulační přípravek umožňuje změnu konfigurace paměti programu, časovací impulsy mohou být vlastní nebo z aplikace a rovněž napájení může být z aplikace nebo vnější.

5.2.3 Emulátor EMV - 51

Emulátor EMV - 51 (8051 Emulation Vehicle) je jednoduchý úplný emulátor jednočipových mikrořadičů 8051. Je zkonstruován jako doplněk vývojového systému IPDS a jeho řídicí program pracuje v prostředí operačního systému ISIS - PDS. Pro emulaci uživatelského programu se používá opět speciální emulační obvod 8051E. Emulace může probíhat v reálném čase. Paměť programu je umístěna v emulátoru EMV - 51 a její délka je volitelná. Emulátor nemá trasovací paměť, uchovává pouze adresy dvou naposledy zpracovaných instrukcí emulovaného programu.

K charakteristickým vlastnostem emulátoru EMV - 51 patří:

- možnost zadávání bodů zastavení v závislosti na adrese instrukce, na typu instrukce (skoky) nebo na hodnotě dat;
- možnost používání symbolů assembleru 8051 nebo PL/M 51 při ladění programů;
- možnost emulace programu v reálném čase;
- možnost krokování programu;
- možnost simulace programu bez připojení vyvíjené aplikace;
- používání speciálního řídicího jazyka pro ovládání emulátoru

z vývojového systému IPDS, který značně ulehčuje a zrychluje emulaci uživatelského programu.

5.2.4 Emulátor ICE - 51

Emulátor ICE - 51 (8051 In - Circuit Emulator) je nejdokonalejší emulátor vyvinutý firmou Intel. Konstrukčně představuje doplněk vývojového systému Intellec a pracuje v prostředí operačního systému ISIS - II. Řídící jazyk pro komunikaci s obsluhou je kompatibilní s jazyky u jiných emulátorů této řady (např. ICE - 80, ICE - 49A apod.).

Emulátor ICE - 51 se skládá ze:

- dvou desek, které se zasouvají do vývojového systému;
- propojovacího kabelu mezi vývojovým systémem a vnější skříňkou (tzv. Buffer Box);
- vnější skříňky;
- propojovacího kabelu mezi vnější skříňkou a aplikací. Kabel je zakončen emulačním obvodem, který se zasunuje do patice v aplikaci namísto mikrořadiče řady 8051.

Emulátor ICE - 51 (kromě dalších funkcí) zásadně umožňuje:

- vkládání bodů zastavení do programu uživatele podle různých hledisek;
- využívání symbolů assembleru 8051 a PL/M 51 při ladění programů;
- emulaci programů v reálném čase;
- krokování programu;
- trasování programu;
- prohlížení a změnu obsahů vnitřních registrů 8051, vnitřní paměti dat (RAM), registrů speciálních funkcí, příznaků a portů V/V ve vyvíjené aplikaci.

6. TECHNICKÉ CHARAKTERISTIKY OBVODŮ 8051 A 8052

V této kapitole jsou souhrnně uvedeny technické charakteristiky obvodů 8051 a 8052, které jsou potřebné pro návrh systémů s těmito jednočipovými mikrořadiči. V souladu se zvyklostmi v anglické literatuře je v tabulkách označována logická hodnota 1 písmenem H (High) a logická hodnota 0 písmenem L (Low).

6.1 Obvody 8031AH a 8051AH

6.1.1 Mezní hodnoty

Teplota okolí při provozu T_A	0 °C až 70 °C
Teplota při skladování	-65 °C až +150 °C
Napětí mezi kteroukoliv špičkou a zemí (U_{SS})	-0,5 V až +7 V
Celkový ztrátový výkon	1 W

Poznámka

Podmínky přesahující uvedené mezní hodnoty mohou způsobit trvalé poškození obvodu. Za provozu se předpokládá činnost podle údajů uvedených v následujících tabulkách. Je-li obvod vystaven mezním podmínkám po delší dobu, může to mít vliv na jeho spolehlivost.

6.1.2 Charakteristické hodnoty

Statické parametry

Statické parametry obvodů 8031AH a 8051AH jsou uvedeny v tabulce 19. Při jejich měření byly dodržovány tyto podmínky:

$$T_A = 0 \text{ °C až } 70 \text{ °C}$$

$$U_{CC} = 4,5 \text{ až } 5,5 \text{ V}$$

$$U_{SS} = 0 \text{ V}$$

Symbol	Parametr	Min.	Max.	Jednotka	Podmínky testu
UIL	Vstupní napětí pro úroveň L	-0,5	0,8	V	
UIH	Vstupní napětí pro úroveň H (s výjimkou RST a XTAL2)	2,0	$U_{CC}+0,5$	V	
UIH1	Vstupní napětí pro úroveň H - RST pro Reset, XTAL2	2,5	$U_{CC}+0,5$	V	XTAL1 na U_{SS}
UOL	Výstupní napětí pro úroveň L u portů 1, 2, 3 (viz poznámku)		0,45	V	$I_{OL} = 1,6 \text{ mA}$
UOL1	Výstupní napětí pro úroveň L u portu 0 a pro signály ALE a \overline{PSEN} (viz poznámku)		0,45	V	$I_{OL} = 3,2 \text{ mA}$
UOH	Výstupní napětí pro úroveň H u portů 1, 2, 3	2,4		V	$I_{OH} = -80 \mu\text{A}$
UOH1	Výstupní napětí pro úroveň H u portu 0 a pro signály ALE a \overline{PSEN}	2,4		V	$I_{OH} = -400 \mu\text{A}$

Tab. 19 - pokrač.

Symbol	Parametr	Min.	Max.	Jednotka	Podmínky testu
IIL	Vstupní proud logické 0 u portů 1, 2, 3		-800	μA	$U_{in} = 0,45 \text{ V}$
IIL2	Vstupní proud logické 0 pro XTAL2		-2,5	mA	$XTAL1 = U_{SS}$, $U_{in} = 0,45 \text{ V}$
ILI	Vstupní svodový proud portu 0 a špičky \overline{EA}		± 10	μA	$0,45 \text{ V} < U_{in}$, $U_{in} < U_{CC}$
IIH1	Vstupní proud pro úroveň H u RST/ U_{PD} pro Reset		500	μA	$U_{in} < U_{CC} - 1,5 \text{ V}$
ICC	Napájecí proud		125	mA	Všechny výstupy odpojené.
CIO	Kapacita vývodů V/V		10	pF	$f_C = 1 \text{ MHz}$, $T_A = 25 \text{ }^\circ\text{C}$

Poznámka

UOL je zhoršen, když obvody 8031AH/8051AH rychle vybíjí vnější kapacitu. Tento střídavý šum je nejvíce zřetelný při vysílání adresových údajů. Při použití vnější paměti je proto nutné umístit záchytný registr nebo oddělovací stupeň co nejbliže k obvodům 8031AH/8051AH. Zhoršené linky V/V jsou uvedeny v tabulce 20.

Zhoršené linky V/V

Tabulka 20

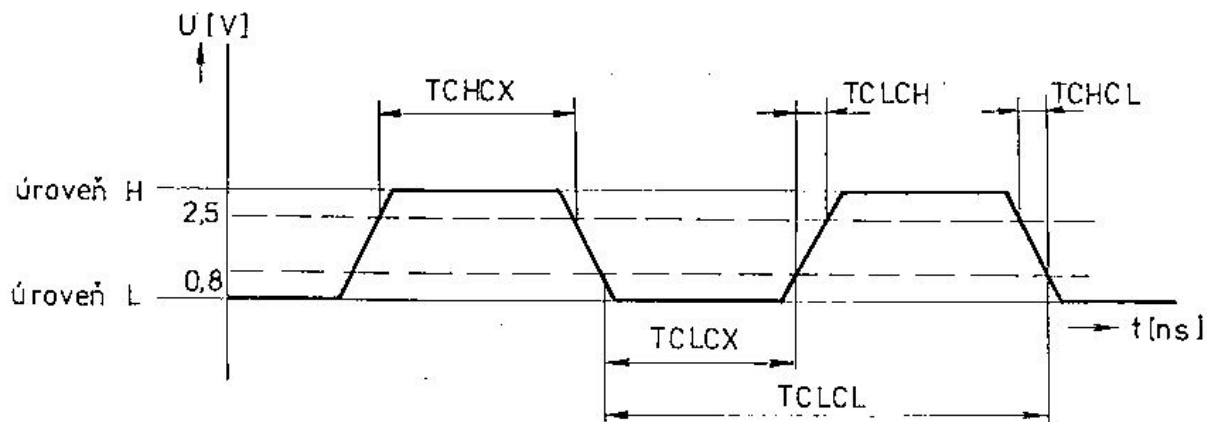
Údaj	Vysílající porty	Zhoršené linky V/V	UOL (max. špička)
Adresa	P2, P0	P1, P3	0,8 V
Zapísovaná data	P0	P1, P3, ALE	0,8 V

Charakteristiky vnějších hodin přiváděných na špičku XTAL2 jsou uvedeny v tabulce 21, průběh hodinových impulsů je znázorněn na obr. 54.

Charakteristiky vnějších hodin

Tabulka 21

Symbol	Parametr	Proměnné hodiny $f = 3,5$ až 12 MHz		Jednotka
		Min.	Max.	
TCLCL	Perioda oscilátoru	83,3	286	ns
TCHCX	Doba úrovně H	20	-	ns
TCLCX	Doba úrovně L	20	-	ns
TCLCH	Doba čela	-	20	ns
TCHCL	Doba týlu	-	20	ns



Obr. 54 Hodinové impulsy pro obvody 8031AH/8051AH

Dynamické parametry

Při měření dynamických parametrů byly dodržovány tyto podmínky:

$T_A = 0\text{ }^{\circ}\text{C}$ až $70\text{ }^{\circ}\text{C}$, $U_{CC} = 5\text{ V} \pm 10\%$, $U_{SS} = 0\text{ V}$, kapacita výstupů portu 0, ALE a $\overline{\text{PSEN}}$ $C_L = 100\text{ pF}$; pro všechny ostatní výstupy $C_L = 80\text{ pF}$.

a) Dynamické parametry při připojení vnější paměti programu k obvodům 8031AH/8051AH

Dynamické parametry pro vnější paměť programu jsou uvedeny v tabulce 22.

Dynamické parametry pro
vnější paměť programu

Tabulka 22

Symbol	Parametr	Hod. 12 MHz		Proměnné hodiny $1/T_{CLCL} = 3,5$ až 12 MHz		
		Min.	Max.	Min.	Max.	Jed.
TIHLL	Šířka impulsu ALE	127		$2T_{CLCL}-40$		ns
TAVLL	Předstih adresy před ALE	43		$T_{CLCL}-40$		ns
TLLAX	Přesah adresy po ALE	48		$T_{CLCL}-35$		ns
TLLIV	ALE do platného vstupu instrukce		233		$4T_{CLCL}-100$	ns
TLLPL	ALE do $\overline{\text{PSEN}}$	58		$T_{CLCL}-25$		ns
TPLPH	Šířka impulsu $\overline{\text{PSEN}}$	215		$3T_{CLCL}-35$		ns
TPLIV	$\overline{\text{PSEN}}$ do platného vstupu instrukce		125		$3T_{CLCL}-125$	ns

Tab. 22 - pokrač.

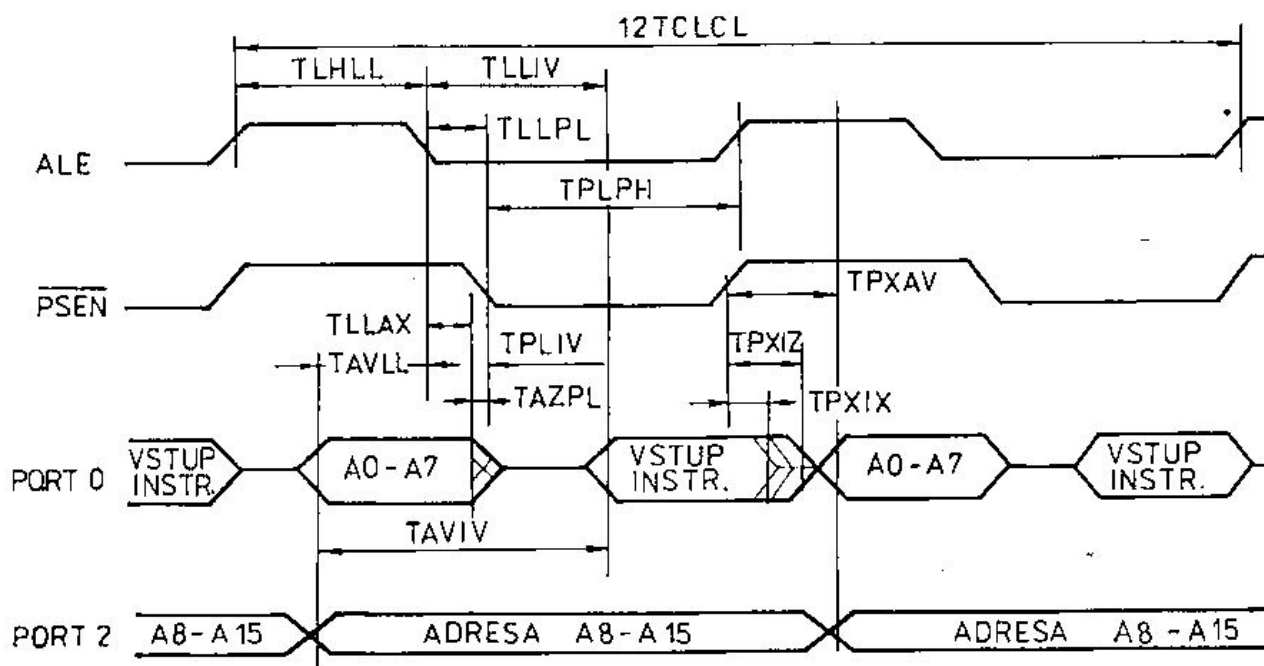
Symbol	Parametr	Hod. 12 MHz		Proměnné hodiny $1/TCLCL = 3,5$ až 12 MHz		
		Min.	Max.	Min.	Max.	Jed.
TPXIX	Přesah vstupu instrukce po \overline{PSEN}	0		0		ns
TPXIZ	Třetí stav po vstupu instrukce po \overline{PSEN}		63		$TCLCL-20$	ns
TPXAV	Platná adresa po \overline{PSEN}	75		$TCLCL-8$		ns
TAVIV	Adresa před platným vstupem instrukce		302		$5TCLCL-115$	ns
TAZPL	Třetí stav adresy před \overline{PSEN}	0		0		ns

Časové průběhy čtecího cyklu z vnější paměti programu jsou znázorněny na obr. 55.

b) Dynamické parametry při připojení vnější paměti dat k obvodům 8031AH/8051AH

Dynamické parametry pro vnější paměť dat jsou uvedeny v tabulce 23.

Časový průběh čtecího cyklu z vnější paměti dat je znázorněn na obr. 56a, časový průběh zápisového cyklu do vnější paměti dat je znázorněn na obr. 56b.



Obr. 55 Čtecí cyklus z vnější paměti programu

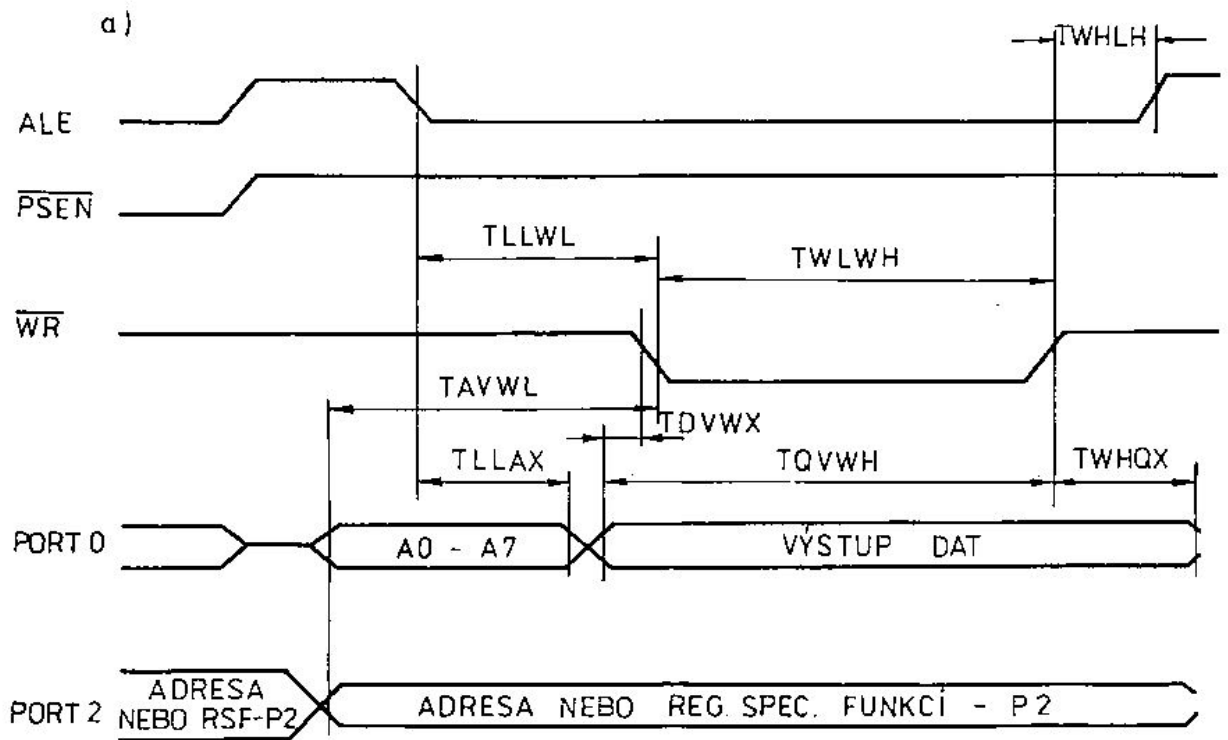
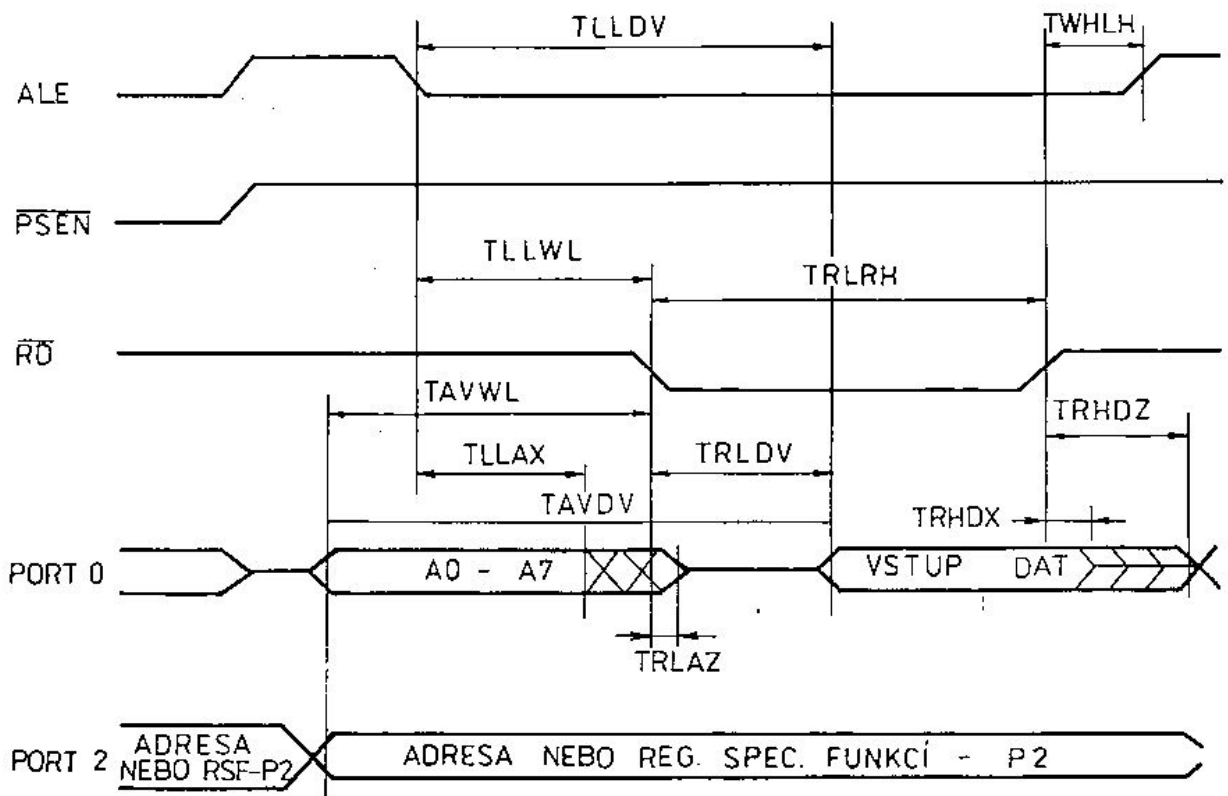
Dynamické parametry pro
vnější paměť dat

Tabulka 23

Symbol	Parametr	Hod. 12 MHz		Proměnné hodiny $1/TCLCL = 3,5$ až 12 MHz		
		Min.	Max.	Min.	Max.	Jed.
TRLRH	Šířka impulsu \overline{RD}	400		$6TCLCL-100$		ns
TWLWH	Šířka impulsu \overline{WR}	400		$6TCLCL-100$		ns
TLLAX	Přesah adresy po ALE	48		$TCLCL-35$		ns
TRLDV	\overline{RD} do platného vstupu dat		250		$5TCLCL-165$	ns

Tab. 23 - pokrač.

Symbol	Parametr	Hod. 12 MHz		Proměnné hodiny 1/TCLCL = 3,5 až 12 MHz		
		Min.	Max.	Min.	Max.	Jed.
TRHDX	Přesah dat po \overline{RD}	0		0		ns
TRHDZ	Třetí stav dat po \overline{RD}		97		2TCLCL-70	ns
TLLDV	ALE do platného vstupu dat		517		8TCLCL-150	ns
TAVDV	Adresa do platného vstupu dat		585		9TCLCL-165	ns
TLLWL	ALE do \overline{WR} nebo \overline{RD}	200	300	3TCLCL-50	3TCLCL+50	ns
TAVWL	Adresa do \overline{WR} nebo \overline{RD}	203		4TCLCL-130		ns
TWHLH	\overline{WR} nebo \overline{RD} - úroveň H do ALE - úroveň H	43	123	TCLCL-40	TCLCL+40	ns
TDVWX	Předstih dat před \overline{WR}	23		TCLCL-60		ns
TQVWH	Platná data do změny \overline{WR} na úroveň H	433		7TCLCL-150		ns
TWHQX	Přesah dat po \overline{WR}	33		TCLCL-50		ns
TRLAZ	Třetí stav adresy po změně \overline{RD} na úroveň L		0		0	ns



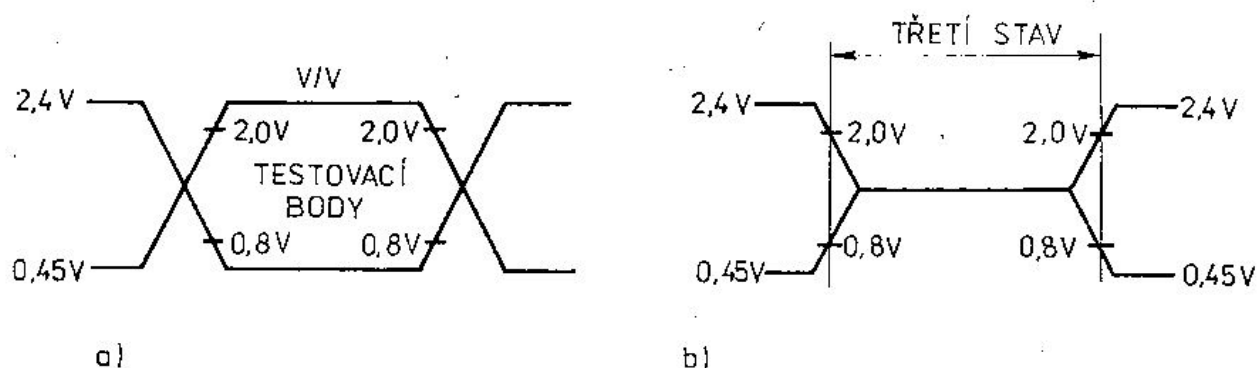
b)

Obr. 56 Vnější paměť dat

a) čtecí cyklus

b) zápisový cyklus

Na obr. 57a jsou znázorněny podmínky měření dynamických parametrů pro V/V, na obr. 57b pro třetí stav.

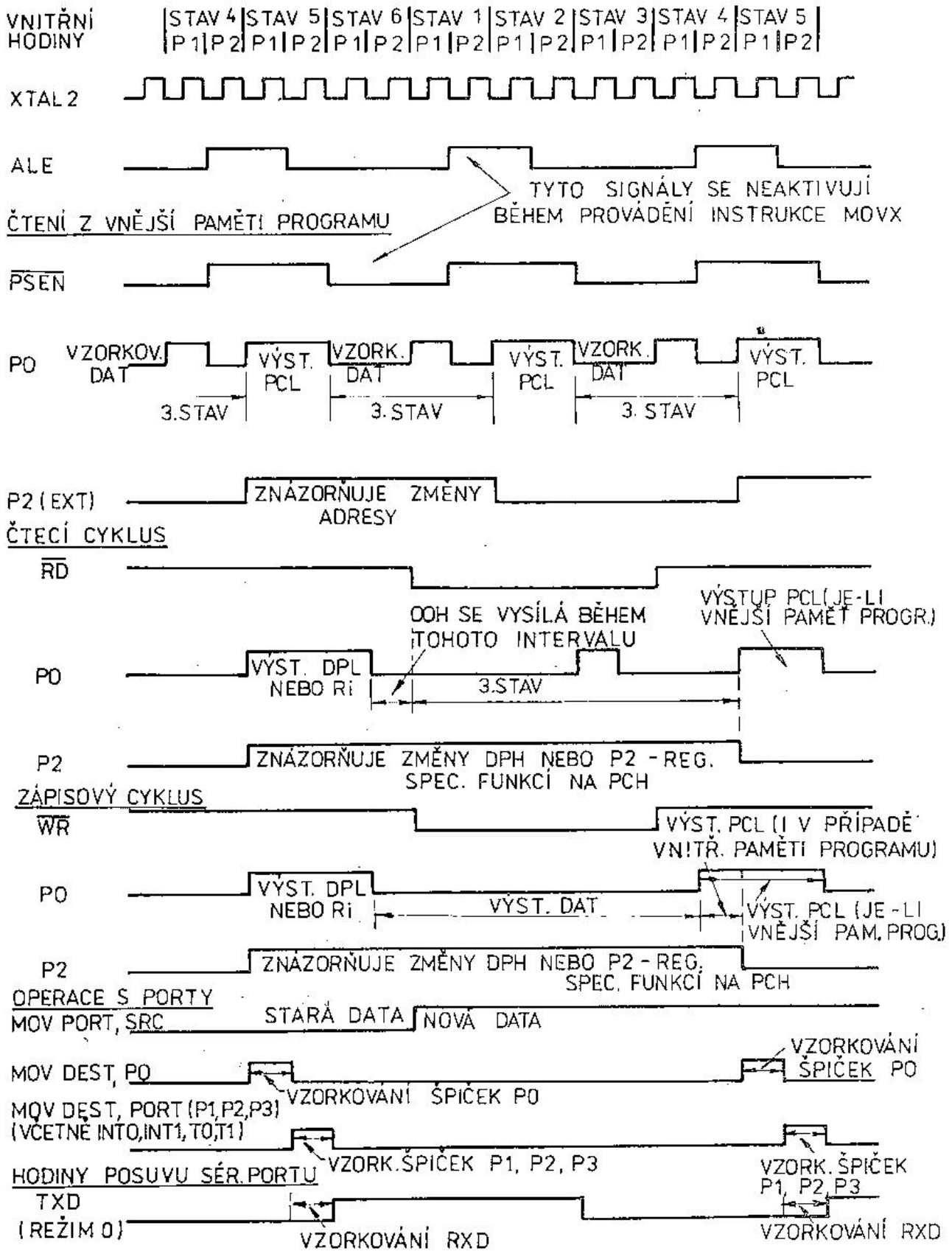


Obr. 57 Podmínky měření dynamických parametrů
a) pro V/V b) pro třetí stav

Při testování jsou vstupy vybuzeny na 2,4 V pro logickou úroveň 1 a na 0,45 V pro logickou úroveň 0. Měření dynamických parametrů jsou vztažena k hodnotě 2,0 V pro logickou úroveň 1 a k hodnotě 0,8 V pro logickou úroveň 0. Třetí stav je pro dynamické parametry definován jako bod, ve kterém špička PO odbírá proud 3,2 mA nebo dodává proud 400 μ A při testovacích napětových úrovních.

Na obr. 58 je uveden přehledný časový diagram obvodů 8031AH/8051AH. Tento diagram znázorňuje vztah signálů k vnitřním hodinám. Vnitřní zpoždění signálu ke špičce se však pohybuje v rozmezí od 25 do 125 ns. Toto zpoždění se mění v závislosti na teplotě a na zátěži připojené ke špičce. Je různé pro každou špičku a pro každý obvod. Typicky ($T_A = 25^\circ\text{C}$, plné zatížení) jsou zpoždění pro signály $\overline{\text{RD}}$ a $\overline{\text{WR}}$ přibližně 50 ns, pro ostatní signály 85 ns. Tato zpoždění jsou zahrnuta v dynamických parametrech.

Průběhy na obr. 58 (včetně vnitřních zpoždění signálů) jsou stejné i pro obvody 8032AH/8052AH a 8751H, a proto již nebudou u těchto obvodů uváděny.



Obr. 58 Časový diagram obvodů 8031AH/8051AH

6.2. Obvody 8032AH a 8052AH

6.2.1 Mezní hodnoty

Teplota okolí při provozu T_A	0 °C až 70 °C
Teplota při skladování	-65 °C až +150 °C
Napětí mezi kteroukoliv špičkou a zemí (U_{SS})	-0,5 V až +7 V
Celkový ztrátový výkon	2 W

Poznámka

Podmínky, které přesahují uvedené mezní hodnoty, mohou způsobit trvalé poškození obvodu. Za provozu se předpokládá činnost podle údajů uvedených v následujících tabulkách. Vy-stavení obvodu mezním podmínkám delší dobu může mít vliv na jeho spolehlivost.

6.2.2 Charakteristické hodnoty

Statické parametry

Statické parametry obvodů 8032AH a 8052AH jsou uvedeny v tabulce 24. Při jejich měření byly dodržovány tyto podmínky:

$$T_A = 0 \text{ °C až } 70 \text{ °C}; U_{CC} = 4,5 \text{ až } 5,5 \text{ V}; U_{SS} = 0 \text{ V}$$

Statické parametry obvodů 8032AH/8052AH

Tabulka 24

Symbol	Parametr	Min.	Max.	Jed-notka	Podmínky testu
UIL	Vstupní napětí pro úroveň L	-0,5	0,8	V	
UIH	Vstupní napětí pro úroveň H (s výjimkou RST a XTAL2)	2,0	$U_{CC}+0,5$	V	

Tab. 24 - pokrač.

Symbol	Parametr	Min.	Max.	Jednotka	Podmínky testu
UIH1	Vstupní napětí pro úroveň H - RST pro Reset, XTAL2	2,5	$U_{CC}+0,5$	V	XTAL1 na U_{SS}
UOL	Výstupní napětí pro úroveň L u portů 1, 2, 3 (viz poznámku)		0,45	V	$I_{OL} = 1,6 \text{ mA}$
UOL1	Výstupní napětí pro úroveň L u portu 0 a pro signály ALE a $\overline{\text{PSEN}}$ (viz poznámku)		0,45	V	$I_{OL} = 3,2 \text{ mA}$
UOH	Výstupní napětí pro úroveň H u portů 1, 2, 3	2,4		V	$I_{OH} \approx -80 \mu\text{A}$
UOH1	Výstupní napětí pro úroveň H u portu 0 a pro signály ALE a $\overline{\text{PSEN}}$	2,4		V	$I_{OH} = -400 \mu\text{A}$
IIL	Vstupní proud logické 0 u portů 1, 2, 3		-800	μA	$U_{in} = 0,45 \text{ V}$
IIL2	Vstupní proud logické 0 pro XTAL2		-2,5	mA	$XTAL1 = U_{SS}$, $U_{in} = 0,45 \text{ V}$
ILI	Vstupní svodový proud portu 0 a špičky $\overline{\text{EA}}$		± 10	μA	$0,45 \text{ V} < U_{in}$, $U_{in} < U_{CC}$

Tab. 24 - pokrač.

Symbol	Parametr	Min.	Max.	Jednotka	Podmínky testu
IIH1	Vstupní proud pro úroveň H u RST/ U_{PD} pro Reset		500	μA	$U_{in} < U_{CC} - 1,5 V$
ICC	Napájecí proud		175	mA	Všechny výstupy odpojené, $\overline{EA} = U_{CC}$
CIO	Kapacita vývodů V/V		10	pF	$f_C = 1 \text{ MHz}$, $T_A = 25 \text{ }^\circ\text{C}$

Poznámka

UOL je zhoršen, vybíjejí-li obvody 8032AH/8052AH rychle větší kapacitu. Tento střídavý šum je nejzřetelnější při vysílání adresových údajů. Při použití větší paměti je proto nutné umístit záchytný registr nebo oddělovací stupeň co nejbližší k obvodům 8032AH/8052AH. Zhoršené linky V/V jsou uvedeny v tabulce 25.

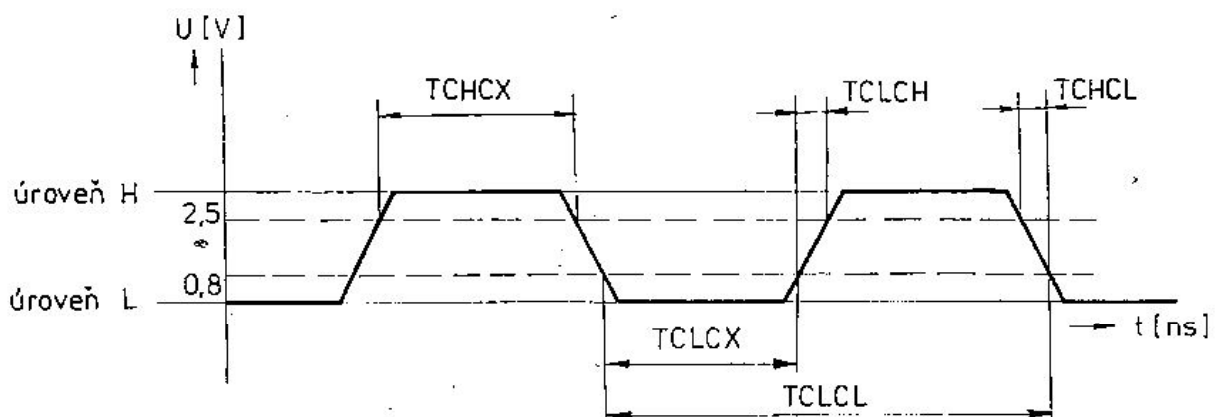
Zhoršené linky V/V

Tabulka 25

Údaj	Vysílající porty	Zhoršené linky V/V	UOL (max. špička)
Adresa	P2, P0	P1, P3	0,8 V
Zapísovaná data	P0	P1, P3, ALE	0,8 V

Charakteristiky vnějších hodin přiváděných na špičku XTAL2 jsou uvedeny v tabulce 26, průběh hodinových impulsů je znázorněn na obr. 59.

Symbol	Parametr	Proměnné hodiny $f = 3,5$ až 12 MHz		Jednotka
		Min.	Max.	
TCLCL	Perioda oscilátoru	83,3	286	ns
TCHCX	Doba úrovně H	20	-	ns
TCLCX	Doba úrovně L	20	-	ns
TCLCH	Doba čela	-	20	ns
TCHCL	Doba týlu	-	20	ns



Obr. 59 Hodinové impulsy pro obvody 8032AH/8052AH

Dynamické parametry

Při měření dynamických parametrů byly dodržovány tyto podmínky:

$T_A = 0$ °C až 70 °C, $U_{CC} = 5$ V \pm 10%, $U_{SS} = 0$ V, kapacita výstupů portu 0, ALE a \overline{PSEN} $C_L = 100$ pF; pro všechny ostatní výstupy $C_L = 80$ pF.

a) Dynamické parametry při připojení vnější paměti programu k obvodům 8032AH/8052AH

Dynamické parametry pro vnější paměť programu jsou uvedeny v tabulce 27.

Dynamické parametry pro
vnější paměť programu

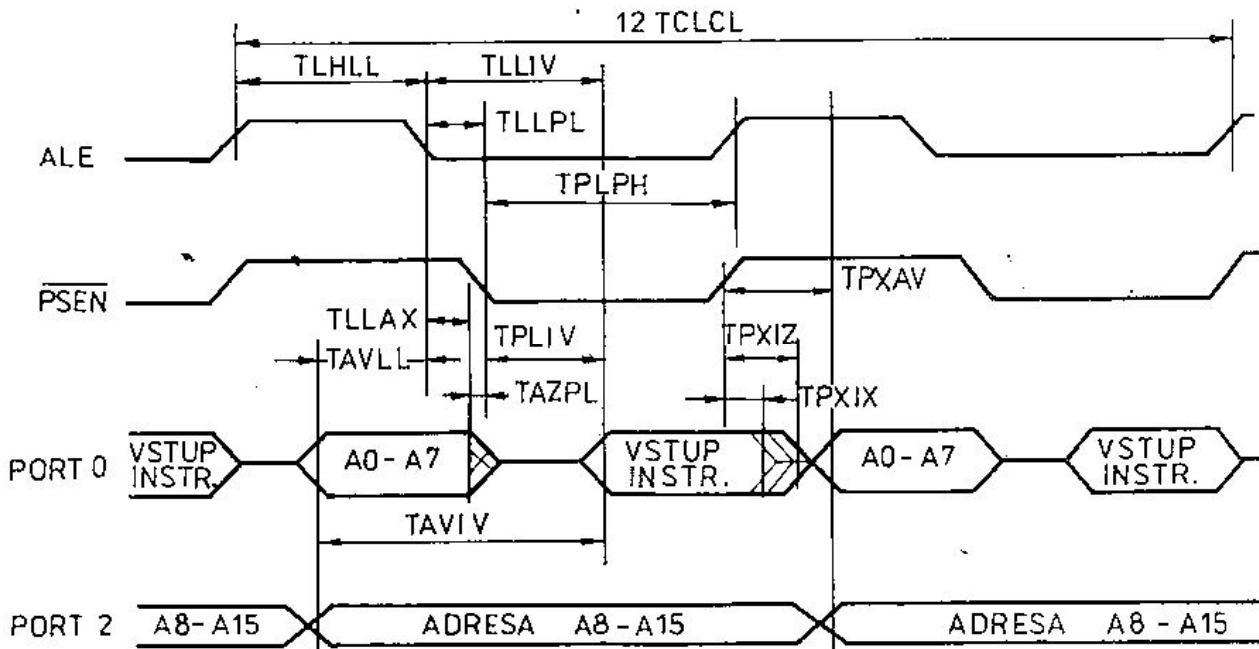
Tabulka 27

Symbol	Parametr	Hod. 12 MHz		Proměnné hodiny $1/TCLCL = 3,5$ až 12 MHz		
		Min.	Max.	Min.	Max.	Jed.
TIHLL	Šířka impul- su ALE	127		$2TCLCL-40$		ns
TAVLL	Předstih adresy před ALE	43		$TCLCL-40$		ns
TLLAX	Přesah adre- sy po ALE	48		$TCLCL-35$		ns
TLLIV	ALE do plat- ného vstupu instrukce		233		$4TCLCL-100$	ns
TLLPL	ALE do \overline{PSEN}	58		$TCLCL-25$		ns
TPLPH	Šířka impul- su \overline{PSEN}	215		$3TCLCL-35$		ns
TPLIV	\overline{PSEN} do plat- ného vstupu instrukce		125		$3TCLCL-125$	ns
TPXIX	Přesah vstu- pu instrukce po \overline{PSEN}	0		0		ns
TPXIZ	Třetí stav po vstupu in- strukce po \overline{PSEN}		63		$TCLCL-20$	ns
TPXAV	Platná adresa po \overline{PSEN}	75		$TCLCL-8$		ns
TAVIV	Adresa před platným vstu- pem instrukce		302		$5TCLCL-115$	ns

Tab. 27 - pokrač.

Symbol	Parametr	Hod. 12 MHz		Proměnné hodiny $1/TCLCL = 3,5$ až 12 MHz		
		Min.	Max.	Min.	Max.	Jed.
TAZPL	Třetí stav adresy před \overline{PSEN}	0		0		ns

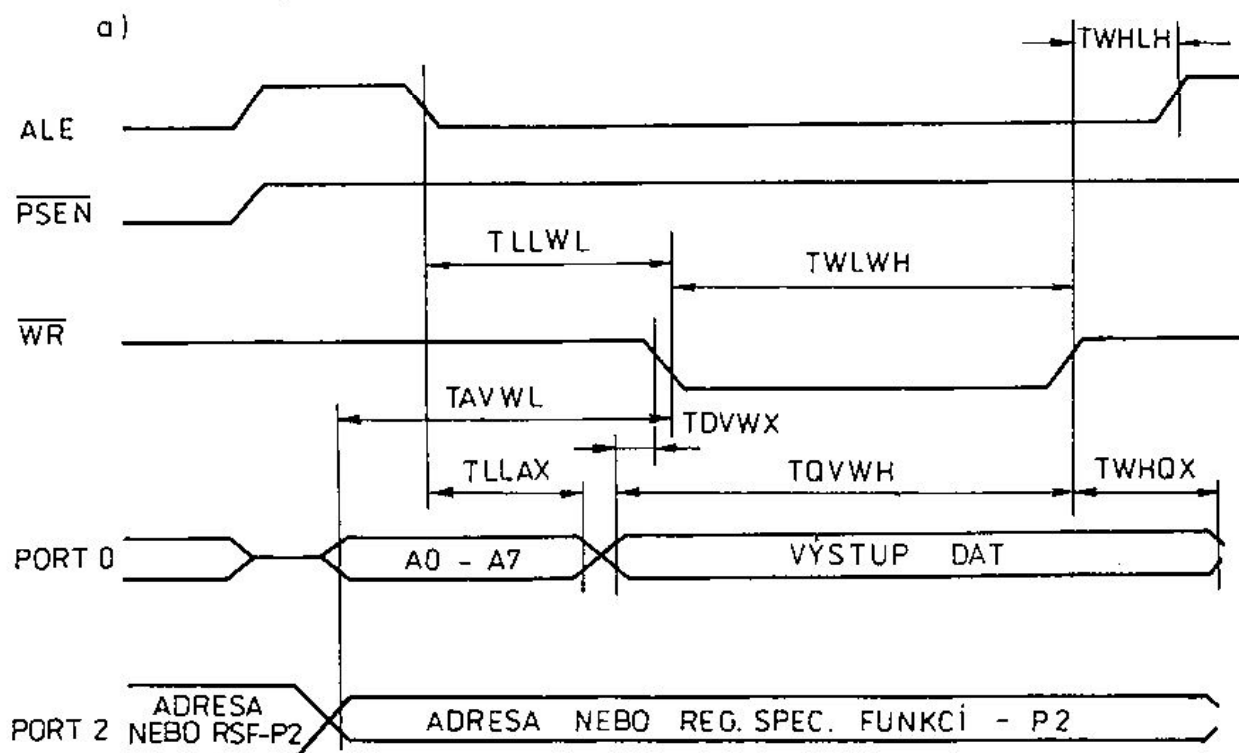
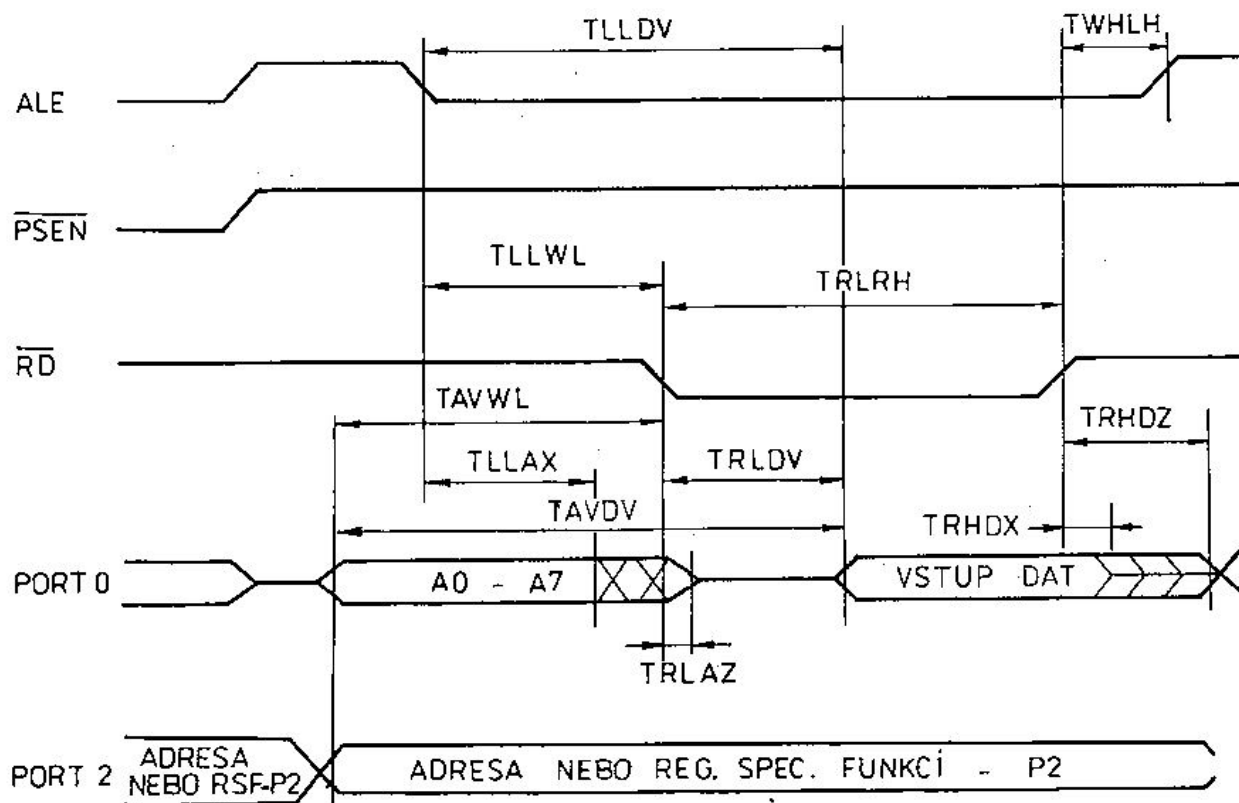
Časové průběhy čtecího cyklu z vnější paměti programu jsou znázorněny na obr. 60.



Obr. 60 Čtecí cyklus z vnější paměti programu

b) Dynamické parametry při připojení vnější paměti dat k obvodům 8032AH/8052AH

Dynamické parametry pro vnější paměť dat jsou uvedeny v tabulce 28. Časový průběh čtecího cyklu z vnější paměti dat je znázorněn na obr. 61a, časový průběh zápisového cyklu do vnější paměti dat je znázorněn na obr. 61b.



b)

Obr. 61 Vnější paměť dat

a) čtecí cyklus

b) zápisový cyklus

Dynamické parametry pro
vnější paměť dat

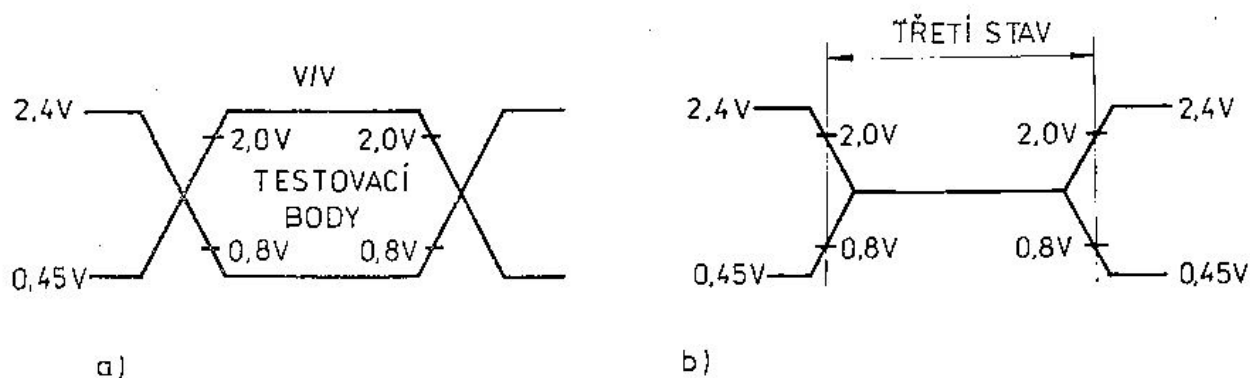
Tabulka 28

Symbol	Parametr	Hod. 12 MHz		Proměnné hodiny 1/TCLCL = 3,5 až 12 MHz		
		Min.	Max.	Min.	Max.	Jed.
TRLRH	Šířka impul- su \overline{RD}	400		6TCLCL-100		ns
TWLWH	Šířka impul- su \overline{WR}	400		6TCLCL-100		ns
TLLAX	Přesah adre- sy po ALE	48		TCLCL-35		ns
TRLDV	\overline{RD} do plat- ného vstupu dat		250		5TCLCL-165	ns
TRHDX	Přesah dat po \overline{RD}	0		0		ns
TRHDZ	Třetí stav dat po \overline{RD}		97		2TCLCL-70	ns
TLLDV	ALE do plat- ného vstupu dat		517		8TCLCL-150	ns
TAVDV	Adresa do platného vstupu dat		585		9TCLCL-165	ns
TLLWL	ALE do \overline{WR} nebo \overline{RD}	200	300	3TCLCL-50	3TCLCL+50	ns
TAVWL	Adresa do \overline{WR} nebo \overline{RD}	203		4TCLCL-130		ns
TWHLH	\overline{WR} nebo \overline{RD} - úroveň H do ALE - úroveň H	43	123	TCLCL-40	TCLCL+40	ns

Tab. 28 - pokrač.

Symbol	Parametr	Hod. 12 MHz		Proměnné hodiny 1/TCLCL = 3,5 až 12 MHz		
		Min.	Max.	Min.	Max.	Jed.
TDVWX	Předstih dat před \overline{WR}	23		TCLCL-60		ns
TQVWH	Platná data do změny \overline{WR} na úroveň H	433		7TCLCL-150		ns
TWHQX	Přesah dat po \overline{WR}	33		TCLCL-50		ns
TRLAZ	Třetí stav adresy po změně \overline{RD} na úroveň L		0		0	ns

Na obr. 62a jsou uvedeny podmínky měření dynamických parametrů pro V/V, na obr. 62b pro třetí stav.



Obr. 62 Podmínky měření dynamických parametrů
a) pro V/V b) pro třetí stav

Při testování jsou vstupy vybuzeny na 2,4 V pro logickou úroveň 1 a na 0,45 V pro logickou úroveň 0. Měření dynamických

parametrů jsou vztažena k hodnotě 2,0 V pro logickou úroveň 1 a k hodnotě 0,8 V pro logickou úroveň 0. Třetí stav je pro dynamické parametry definován jako bod, ve kterém špička PO odbírá proud 3,2 mA nebo dodává proud 400 μ A při testovacích napěťových úrovních.

6.3 Obvod 8751H

6.3.1 Mezní hodnoty

Teplota okolí při provozu	0 °C až 70 °C
Teplota při skladování	-65 °C až +150 °C
Napětí mezi kteroukoliv špičkou a zemí (U_{SS}) - kromě U_{PP}	-0,5 V až +7 V
Napětí mezi špičkou U_{PP} a zemí (U_{SS})	21,5 V
Celkový ztrátový výkon	2 W

Poznámka

Podmínky přesahující uvedené mezní hodnoty mohou způsobit trvalé poškození obvodu. Za provozu se předpokládá činnost podle údajů, které jsou uvedeny v následujících tabulkách. Je-li obvod vystaven mezním podmínkám po delší dobu, může to mít vliv na jeho spolehlivost.

6.3.2 Charakteristické hodnoty

Statické parametry

Statické parametry obvodu 8751H jsou uvedeny v tabulce 29. Při jejich měření byly dodržovány tyto podmínky:

$$T_A = 0 \text{ °C až } 70 \text{ °C}$$

$$U_{CC} = 4,5 \text{ až } 5,5 \text{ V}$$

$$U_{SS} = 0 \text{ V}$$

Symbol	Parametr	Min.	Max.	Jednotka	Podmínky testu
UIL	Vstupní napětí pro úroveň L	-0,5	0,8	V	
UIH	Vstupní napětí pro úroveň H (s výjimkou RST a XTAL2)	2,0	$U_{CC}+0,5$	V	
UIH1	Vstupní napětí pro úroveň H - RST pro Reset, XTAL2	2,5	$U_{CC}+0,5$	V	XTAL1 na U_{SS}
UOL	Výstupní napětí pro úroveň L u portů 1, 2, 3 (viz poznámku)		0,45	V	$I_{OL} = 1,6 \text{ mA}$
UOL1	Výstupní napětí pro úroveň L u portu 0 a pro signály ALE a $\overline{\text{PSEN}}$ (viz pozn.)		0,60 0,45	V V	$I_{OL} = 3,2 \text{ mA}$ $I_{OL} = 2,4 \text{ mA}$
UOH	Výstupní napětí pro úroveň H u portů 1, 2, 3	2,4		V	$I_{OH} = -80 \mu\text{A}$
UOH1	Výstupní napětí pro úroveň H u portu 0 (v režimu vnější sběrnice) a pro signály ALE a $\overline{\text{PSEN}}$	2,4		V	$I_{OH} = -400 \mu\text{A}$

Tab. 29 - pokrač.

Symbol	Parametr	Min.	Max.	Jednotka	Podmínky testu
IIL	Vstupní proud logické 0 u portů 1, 2, 3		-500	μA	$U_{in} = 0,45 \text{ V}$
IIL1	Vstupní proud logické 0 pro $\overline{\text{EA}}/U_{PP}$		-15	mA	$U_{in} = 0,45 \text{ V}$
IIL2	Vstupní proud logické 0 pro XTAL2		-2,5	mA	$XTAL1 = U_{SS}$, $U_{in} = 0,45 \text{ V}$
ILI	Vstupní svodový proud portu 0		100	μA	$0,45 < U_{in}$, $U_{in} < U_{CC}$
IIH	Vstupní proud logické 1 pro $\overline{\text{EA}}/U_{PP}$		500	μA	$U_{in} = 2,4 \text{ V}$
IIH1	Vstupní proud pro úroveň H u RST/ U_{PD} pro Reset		500	μA	$U_{in} < U_{CC} - 1,5 \text{ V}$
ICC	Napájecí proud		250	mA	Všechny výstupy odpojené, $\overline{\text{EA}} = U_{CC}$
CIO	Kapacita vývodů V/V		10	pF	$f_C = 1 \text{ MHz}$, $T_A = 25 \text{ }^\circ\text{C}$

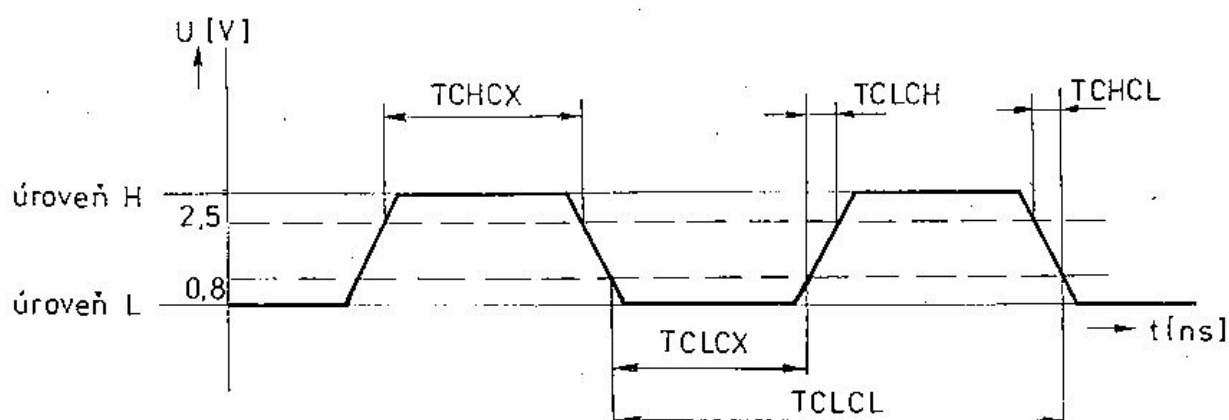
Poznámka

UOL je zhoršen, vybíjí-li obvod 8751H rychle vnější kapacitu. Tento střídavý šum je nejzřetelnější při vysílání adresových údajů. Při použití vnější paměti je proto nutné umístit záchytný registr nebo oddělovací stupeň co nejbližší k obvodu 8751H. Zhoršené linky V/V jsou uvedeny v tabulce 30.

Údaj	Vysílající porty	Zhoršené linky V/V	UOL (max. špička)
Adresa	P2, P0	P1, P3	0,8 V
Zapísovaná data	P0	P1, P3, ALE	0,8 V

Charakteristiky vnějších hodin přiváděných na špičku XTAL2 jsou uvedeny v tabulce 31, průběh hodinových impulsů je znázorněn na obr. 63.

Symbol	Parametr	Proměnné hodiny $f = 3,5$ až 12 MHz		Jednotka
		Min.	Max.	
TCLCL	Perioda oscilátoru	83,3	286	ns
TCHCX	Doba úrovně H	20	-	ns
TCLCX	Doba úrovně L	20	-	ns
TCLCH	Doba čela	-	20	ns
TCHCL	Doba týlu	-	20	ns



Obr. 63 Hodinové impulsy pro obvod 8751H

Dynamické parametry

Při měření dynamických parametrů byly dodržovány tyto podmínky:

$T_A = 0\text{ }^{\circ}\text{C}$ až $70\text{ }^{\circ}\text{C}$, $U_{CC} = 5\text{ V} \pm 10\%$, $U_{SS} = 0\text{ V}$, kapacita výstupů portu 0, ALE a $\overline{\text{PSEN}}$ $C_L = 100\text{ pF}$; pro všechny ostatní výstupy $C_L = 80\text{ pF}$.

a) Dynamické parametry při připojení vnější paměti programu k obvodu 8751H jsou uvedeny v tabulce 32.

Dynamické parametry pro
vnější paměť programu

Tabulka 32

Symbol	Parametr	Hod. 12 MHz		Proměnné hodiny $1/T_{CLCL} = 3,5$ až 12 MHz		
		Min.	Max.	Min.	Max.	Jed.
TLHLL	Šířka impulsu ALE	127		$2T_{CLCL}-40$		ns
TAVLL	Předstih adresy před ALE	53		$T_{CLCL}-30$		ns
TLLAX	Přesah adresy po ALE	48		$T_{CLCL}-35$		ns
TLLIV	ALE do platného vstupu instrukce		183		$4T_{CLCL}-150$	ns
TLLPL	ALE do $\overline{\text{PSEN}}$	58		$T_{CLCL}-25$		ns
TPLPH	Šířka impulsu $\overline{\text{PSEN}}$	190		$3T_{CLCL}-60$		ns
TPLIV	$\overline{\text{PSEN}}$ do platného vstupu instrukce		100		$3T_{CLCL}-150$	ns
TPXIX	Přesah vstupu instrukce po $\overline{\text{PSEN}}$	0		0		ns

Tab. 32 - pokrač.

Symbol	Parametr	Hod. 12 MHz		Proměnné hodiny 1/TCLCL = 3,5 až 12 MHz		
		Min.	Max.	Min.	Max.	Jed.
TPXIZ	Třetí stav po vstupu instrukce po $\overline{\text{PSEN}}$		63		TCLCL-20	ns
TPXAV	Platná adresa po $\overline{\text{PSEN}}$	75		TCLCL-8		ns
TAVIV	Adresa před platným vstupem instrukce		267		5TCLCL-150	ns
TAZPL	Třetí stav adresy před $\overline{\text{PSEN}}$	0		0		ns

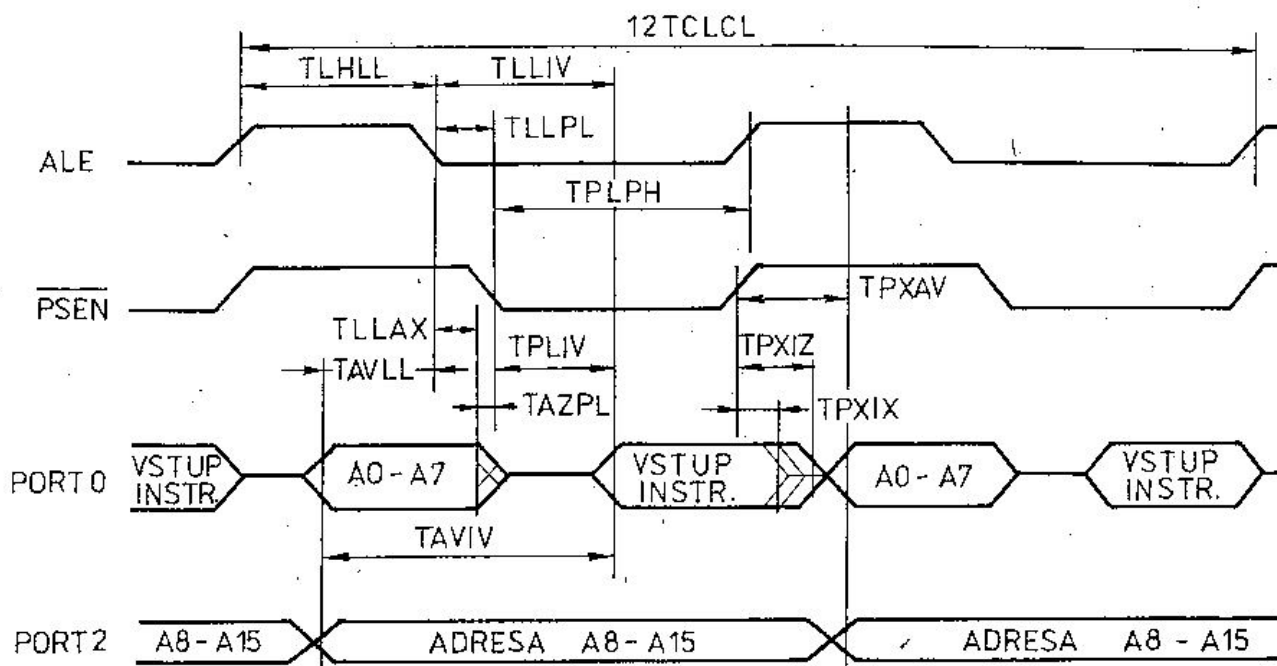
Časové průběhy čtecího cyklu z vnější paměti programu jsou znázorněny na obr. 64.

b) Dynamické parametry při připojení vnější paměti dat k obvodu 8751H

Dynamické parametry pro vnější paměť dat jsou uvedeny v tabulce 33. Časový průběh čtecího cyklu z vnější paměti dat je znázorněn na obr. 65a, časový průběh zápisového cyklu do vnější paměti dat je znázorněn na obr. 65b.

Na obr. 66a jsou znázorněny podmínky měření dynamických parametrů pro V/V, na obr. 66b pro třetí stav.

Při testování jsou vstupy vybuzeny na 2,4 V pro logickou úroveň 1 a na 0,45 V pro logickou úroveň 0. Měření dynamických parametrů jsou vztažena k hodnotě 2,0 V pro logickou úroveň 1 a k hodnotě 0,8 V pro logickou úroveň 0. Třetí stav je pro dynamické parametry definován jako bod, ve kterém špička PO odbírá proud 3,2 mA nebo dodává proud 400 μA při testovacích napětových úrovních.



Obr. 64 Čtecí cyklus z vnější paměti programu

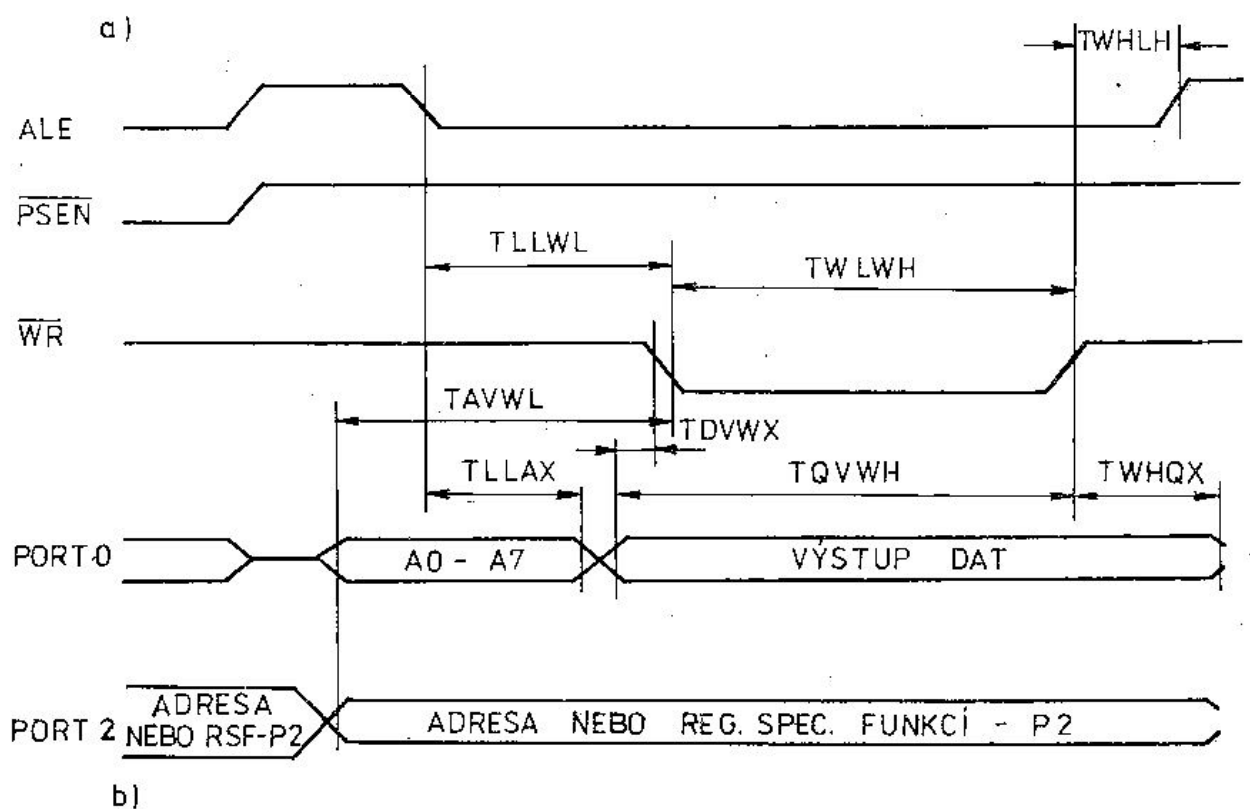
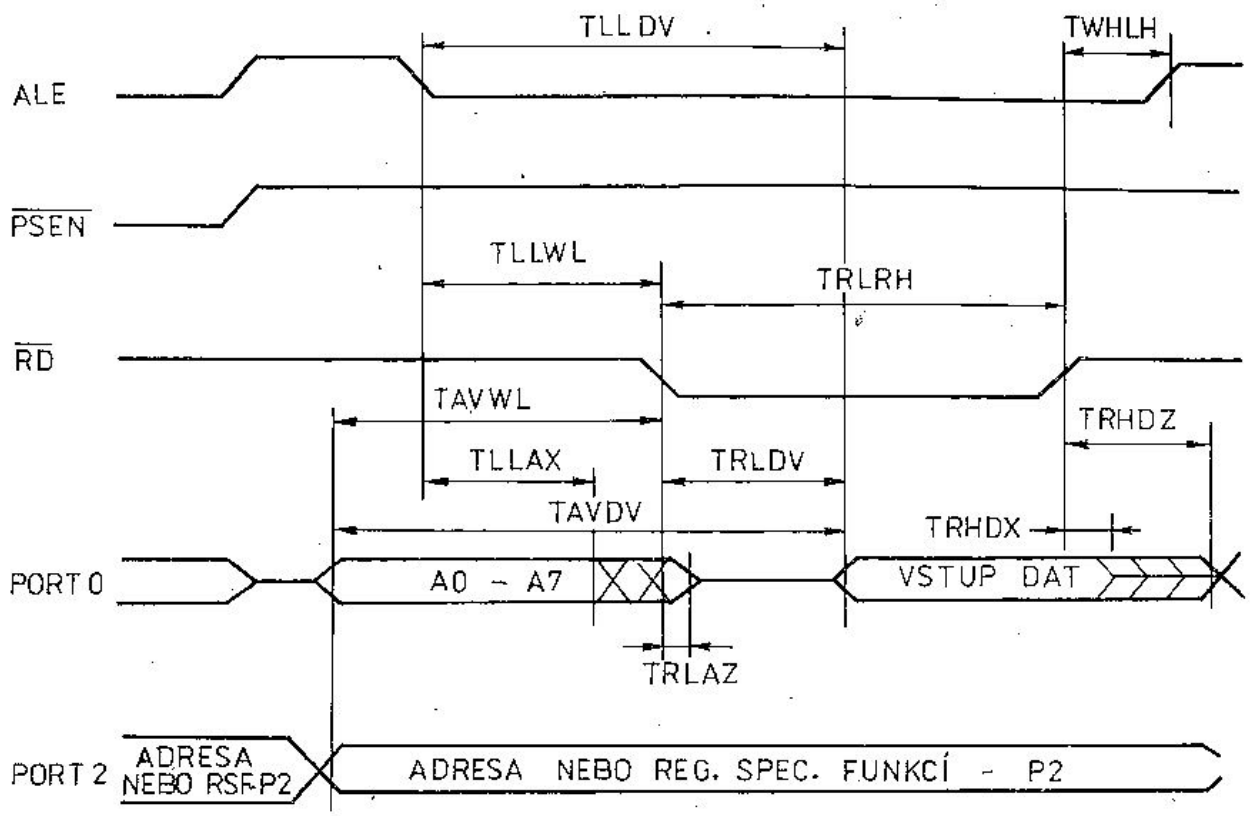
Dynamické parametry pro
vnější paměť dat

Tabulka 33

Symbol	Parametr	Hod. 12 MHz		Proměnné hodiny $1/TCLCL = 3,5$ až 12 MHz		
		Min.	Max.	Min.	Max.	Jed.
TRLRH	Šířka impul- su \overline{RD}	400		$6TCLCL-100$		ns
TWLWH	Šířka impul- su \overline{WR}	400		$6TCLCL-100$		ns
TLLAX	Přesah adre- sy po ALE	48		$TCLCL-35$		ns
TRLDV	\overline{RD} do plat- ného vstupu dat		250		$5TCLCL-165$	ns

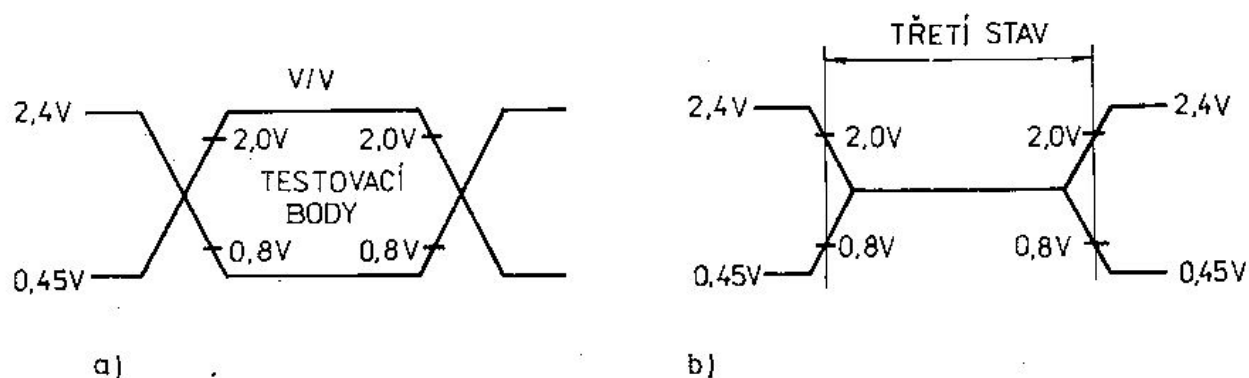
Tab. 33 - pokrač.

Symbol	Parametr	Hod. 12 MHz		Proměnné hodiny 1/TCLCL = 3,5 až 12 MHz		
		Min.	Max.	Min.	Max.	Jed.
TRHDX	Přesah dat po \overline{RD}	0		0		ns
TRHDZ	Třetí stav dat po \overline{RD}		97		2TCLCL-70	ns
TLLDV	ALE do plat- ného vstupu dat		517		8TCLCL-150	ns
TAVDV	Adresa do platného vstupu dat		585		9TCLCL-165	ns
TLIWL	ALE do \overline{WR} nebo \overline{RD}	200	300	3TCLCL-50	3TCLCL+50	ns
TAVWL	Adresa do \overline{WR} nebo \overline{RD}	203		4TCLCL-130		ns
TWHLH	\overline{WR} nebo \overline{RD} - úroveň H do ALE - úroveň H	33	133	TCLCL-50	TCLCL+50	ns
TDVWX	Předstih dat před \overline{WR}	13		TCLCL-70		ns
TQVWH	Platná data do změny \overline{WR} na úroveň H	433		7TCLCL-150		ns
TWHQX	Přesah dat po \overline{WR}	33		TCLCL-50		ns
TRLAZ	Třetí stav adresy po změně \overline{RD} na úroveň L		0		0	ns



Obr. 65 Vnější paměť dat
a) čtecí cyklus

b) zápisový cyklus



Obr. 66 Podmínky měření dynamických parametrů
 a) pro V/V b) pro třetí stav

6.3.3 Charakteristické hodnoty pro vnitřní paměť EPROM

Dynamické parametry obvodu 8751H pro programování a ověřování obsahu vnitřní paměti EPROM jsou uvedeny v tabulce 34. Časové průběhy jsou znázorněny na obr. 67. Při programování paměti EPROM se používá zapojení podle obr. 34, při programování zabezpečovacího bitu zapojení podle obr. 36 a při ověřování obsahu paměti EPROM zapojení podle obr. 35.

Při měření dynamických parametrů byly dodržovány tyto podmínky:

$$T_A = 21 \text{ }^\circ\text{C až } 27 \text{ }^\circ\text{C}, U_{CC} = 5 \text{ V } \pm 10\%, U_{SS} = 0 \text{ V}$$

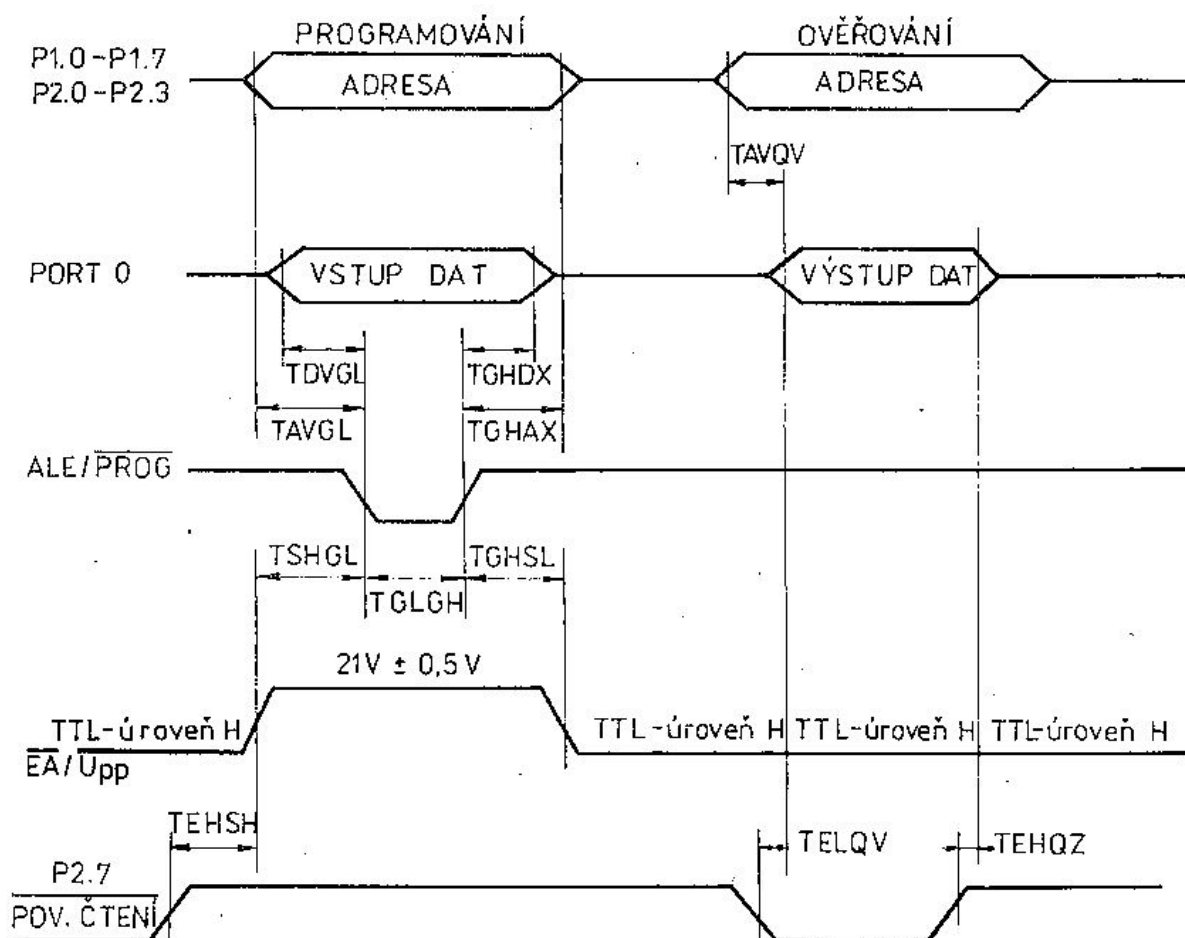
Dynamické parametry vnitřní paměti EPROM v obvodu 8751H

Tabulka 34

Symbol	Parametr	Min.	Max.	Jed.
U_{PP}	Programovací napětí	20,5	21,5	V
IPP	Programovací proud		30,0	mA
1/TCLCL	Frekvence oscilátoru	4	6	MHz
TAVGL	Předstih adresy před \overline{PROG}	48TCLCL		ns

Tab. 34 - pokrač.

Symbol	Parametr	Min.	Max.	Jed.
TGHAX	Přesah adresy po $\overline{\text{PROG}}$	48TCLCL		ns
TDVGL	Předstih dat před $\overline{\text{PROG}}$	48TCLCL		ns
TGHDX	Přesah dat po $\overline{\text{PROG}}$	48TCLCL		ns
TEHSH	Signál $\overline{\text{POV. ČTENÍ}}$ do úrovně H před U_{PP}	48TCLCL		ns
TSHGL	Předstih U_{PP} před $\overline{\text{PROG}}$	10		μs
TGHSL	Přesah U_{PP} po $\overline{\text{PROG}}$	10		μs
TGIGH	Šířka impulsu $\overline{\text{PROG}}$	45	55	ns
TAVQV	Předstih adresy před platnými výstupními daty		48TCLCL	ns
TEIQV	Předstih signálu $\overline{\text{POV. ČTENÍ}}$ před platnými výstupními daty		48TCLCL	ns
TEHQZ	Třetí stav dat po signálu $\overline{\text{POV. ČTENÍ}}$	0	48TCLCL	ns



Obr. 67 Časové průběhy při programování paměti EPROM, při programování zabezpečovacího bitu a při ověřování obsahu vnitřní paměti EPROM v obvodu 8751H

LITERATURA

- [1] Názvosloví číslicových a analogových počítačů. Československá státní norma - ČSN 36 9001 Praha, Vydavatelství úřadu pro normalizaci a měření, 1972
- [2] Intel: Component Data Catalog - MCS 8051, Santa Clara, 1982
- [3] Intel: 8051 Single - Chip Microcomputer, Architectural Specification and Functional Description, Santa Clara, 1980
- [4] Siemens: SAB 8051 - 8 Bit Ein - Chip - Mikrocomputer, Mnichov, 1982
- [5] Trpišovský, T.: Vývojové prostředky pro jednočipové mikropočítače řady 8051. Sborník: Uživatelské aspekty jednočipových mikropočítačů, Tesla ELTOS - IMA a Tesla VÚST A. S. Popova, Praha, 1985

