

# Plán prednášok z predmetu ARCHITEKTÚRY POČÍTAČOVÝCH SYSTÉMOV (zimný semester 2024)

1. Princípy a základné koncepcie počítačových systémov
2. Stavebné prvky číslicových počítačov I
3. Úvod do jazyka VHDL
4. Stavebné prvky číslicových počítačov II
5. Jazyk VHDL
6. Jazyk VHDL, pokračovanie
7. Počítačová aritmetika a algoritmy
8. Inštrukčne orientovaná architektúra
9. Centrálna procesorová jednotka a prúdové spracovanie
10. RISC a CISC architektúry, Pamäťový podsystém
11. Zápočtová písomka
12. Vonkajšie komunikácie procesora a riadenie vstupno-výstupných operácií
13. Klasifikácia počítačových systémov + Signálové procesory (DSP), Trendy vo vývoji počítačových architektúr pre vstavané systémy

## Doporučená literatúra

1. Hennessy, J. I. - Patterson, D. A.: Computer Architecture: A Quantitative Approach, 5th Edition. Morgan Kaufmann Publishers, Elsevier, 2012.
2. Patterson, D. A. - Hennessy, J. L.: Computer Organization and Design: The Hardware/Software Interface, 5th Edition. Morgan Kaufmann Publishers, Elsevier, 2014.
3. Harris, D. - Harris, S.: Digital Design and Computer Architecture, Second Edition, Morgan Kaufmann Publishers, Elsevier, 2013.
4. Jelšina, M.: Architektúry počítačových systémov: princípy, štruktúrna organizácia, funkcia. Elfa s.r.o., Košice, 2002
5. Pinker, J. - Poupa, M.: Číslicové systémy a jazyk VHDL, BEN - Technická literatúra, Praha 2006.

## Skúška:

- písomná, max. **60 bodov**,
- pre získanie celkového hodnotenia **A, B (81 a viac bodov)** je potrebné počas semestra vypracovať **priebežne zadávané bonusové úlohy a obhájiť ich riešenie**

# Plán cvičení z predmetu ARCHITEKTÚRY POČÍTAČOVÝCH SYSTÉMOV (zimný semester 2024)

- 1. Úvodné cvičenie, CAE nástroje Quartus, Modelsim a jazyk VHDL**
  - podmienky udelenia zápočtu
  - využívané voľne dostupné nástroje
    - o Quartus Web Edition, Prime Lite Edition (<https://www.intel.com/content/www/us/en/software/programmable/quartus-prime/download.html>)
    - o ARM Keil C51 Development tools for 8051 devices (<https://www.keil.com/download/product/>)
    - o Extension DLLs for uVision – 8051 statemachine (<http://www.c51.de/c51.de/Dateien/uVision2DLLs>)
    - o ARM-ARM Development environment for Cortex and ARM devices (<https://www.keil.com/download/product/>)
  - obraz virtuálneho stroja (vo formáte OVA) pre Virtual Box dostupný pre študentov
  - vytvorenie jednoduchkej kombinačnej logiky pomocou VHDL a jej simulácia v prostredí Quartus a Modelsim
  - grafické vytvorenie stimulov
  - funkčná a časová simulácia, význam a rozdiely
- 2. Základné stavebné prvky jazyka VHDL, simulácia pomocou testbench súborov**
  - VHDL testbench a jeho využitie na simuláciu kombinačnej logiky
  - simulácia s využitím testbench súborov v prostredí Quartus a Modelsim
  - interná optimalizácia kombinačnej logiky
  - vytvorenie a archivácia projektu
- 3. Návrh a simulácia kombinačných logických obvodov**
  - prevodník kódu (BCD na 7 segment vo VHDL), multiplexor, demultiplexor, komparátor, generátor priority, generátor parity
- 4. Projekt kombinačnej logiky**
  - ďalšie užitočné VHDL konštrukcie (pokračovanie prednášky o VHDL)
- 5. Návrh a simulácia kombinačných obvodov**
  - kombinačný process, príkaz ASSERT v testbench suboroch
  - **zadanie „Projektu kombinačnej logiky“** riešené formou **domácej úlohy**
- 6. Návrh a simulácia obvodov určených na pamätanie údajov**
  - preklápacie obvody, registre, pamäte
  - zadanie **klasifikovanej domácej úlohy, vypracovanie zadania a nahratie zadania do systému TUKE Moodle**
- 7. Návrh a simulácia obvodov na realizáciu aritmetických operácií**
  - inkrementory, dekrementory, sčítačky, násobičky
- 8. Konečné automaty**
  - automat typu Moore
  - automat typu Mealy
  - optimalizované formy mapovania konečných automatov
- 9. Pamäte v obvodoch FPGA**
  - vytvorenie pamäte ROM a RAM, synchronná a asynchronná pamäť
  - jedno- a dvoj-portová pamäť
  - inicializácia obsahu pamäte
- 10. Návrh a simulácia CPU**
  - implementácia a simulácia minimalistickej CPU na báze architektúry vo VHDL
  - ukážka OISC (one instruction set computer) implementácie
- 11. Inštrukčne orientovaná architektúra**
  - práca so simulátorom ARM Keil
  - registre CPU a ich význam
  - zásobník a ukazovateľ vrcholu zásobníka

- strojový a inštrukčný cyklus
  - rôzne spôsoby adresovania dát v pamäti
  - **pridelenie semestrálnych zadaní**
- 12. Inštrukčne orientovaná architektúra**
- práca so simulátorom ARM Keil
  - inštrukčná sada,
  - assembler, C jazyk a ich väzba
  - pamäťové priestory
- 13. Individuálna práca na semestrálnom zadaní**
- odovzdanie semestrálnych zadaní do system Moodle
  - obhajoba odovzdaných zadaní a DÚ
  - udeľovanie zápočtov

**Podmienky zápočtu:**

- **absolvovanie** zápočtovej písomky v 11. týždni (**25 bodov**)
- priebežne **vypracované domáce úlohy** (DÚ, klasifikované aj **neklasifikované!**) a ich odovzdanie do systému Moodle v požadovaných termínoch (nedodržanie požadovaných termínov **je dôvodom na neudelenie zápočtu**), **odovzdané a obhájené** semestrálne zadanie a **DÚ (15 bodov)**,
- min. **21** bodov, max. **40** bodov.

**Doporučené online zdroje**

Fischer, V.: VHDL Language – Design and synthesis of digital systems. Podklady k Erasmus prednáškam na KEMT FEI TUKE, Oct/Nov 2010, pp.1-137

Online:

[https://data.kemt.fe.i.tuke.sk/Architektury\\_pocitacovych\\_systemov/materialy/prednasky/VHDL\\_Fischer.pdf](https://data.kemt.fe.i.tuke.sk/Architektury_pocitacovych_systemov/materialy/prednasky/VHDL_Fischer.pdf)

Pinkler, J.-Poupa, M.: Číslicové systémy a jazyk VHDL. BEN, Praha 2006, ISBN 80-7300-198-5, 345 s.

Kubíček, M.: Úvod do problematiky obvodu FPGA pro integrovanou výuku VUT a VŠB-TUO. FEKT VUT Brno, 2014, ISBN 978-80-214-5069-1, pp.1-120

Online: <https://docplayer.cz/25004219-Uvod-do-problematiky-obvodu-fpga-pro-integrovanou-vyuku-vut-a-vsbtuo.html>

Tarnoff, D.: Computer Organization and Design Fundamentals. Publikované s podporou Lulu.com, 448 pp.

Online: <http://faculty.etsu.edu/tarnoff/138292/>